

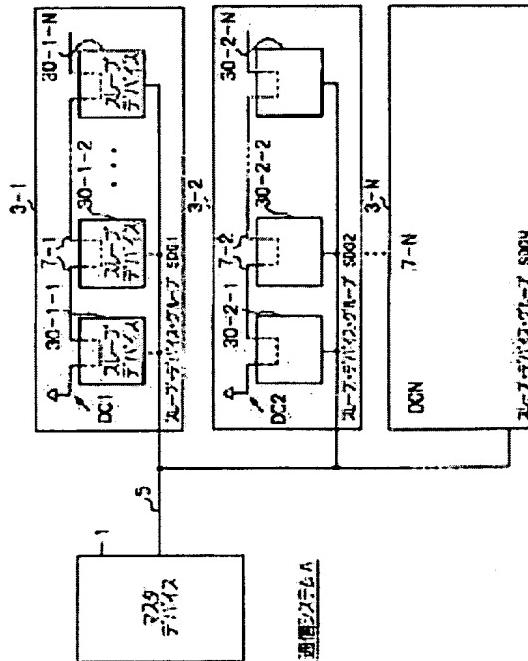
PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2003-196230**
(43)Date of publication of application : **11.07.2003**

(51)Int.Cl. G06F 13/37
G06F 13/14
G06F 13/368
G06F 13/372

(21)Application number : **2001-400387** (71)Applicant : **TEXAS INSTR JAPAN LTD**
(22)Date of filing : **28.12.2001** (72)Inventor : **SATO MASATO
KONDO HITOSHI
NAKAO SHIGETOSHI**

(54) METHOD AND DEVICE FOR COMMUNICATION PROVIDED WITH DEVICE IDENTIFICATION



(57) Abstract:
PROBLEM TO BE SOLVED: To provide a communication system for performing communications between a master device and a plurality of slave devices in at least one group.
SOLUTION: This communication system is provided with a bus 5 for connecting a master device 1 to a plurality of slave devices 30 and is further provided with daisy chain connection lines 7-1 to N for connecting those devices 30 through daisy chains DC1 to N. Those daisy chains are provided to automatically impart a device identifier to each slave device in the slave device group, or to impart the order of the assignment sequence of shareable resources.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-196230

(P2003-196230A)

(43)公開日 平成15年7月11日(2003.7.11)

(51)Int.Cl.⁷

G 0 6 F 13/37
13/14
13/368
13/372

識別記号

3 2 0

F I

G 0 6 F 13/37
13/14
13/368
13/372

テマコード*(参考)

Z 5 B 0 1 4
3 2 0 F 5 B 0 6 1
A
C

審査請求 未請求 請求項の数55 O L (全 26 頁)

(21)出願番号

特願2001-400387(P2001-400387)

(22)出願日

平成13年12月28日(2001.12.28)

(71)出願人 390020248

日本テキサス・インスツルメンツ株式会社
東京都新宿区西新宿六丁目24番1号

(72)発明者 佐藤 政人

神奈川県厚木市長谷422-1

(72)発明者 近藤 仁志

神奈川県厚木市長谷422-1

(72)発明者 中尾 茂敏

神奈川県厚木市長谷422-1

(74)代理人 100089705

弁理士 社本 一夫 (外5名)

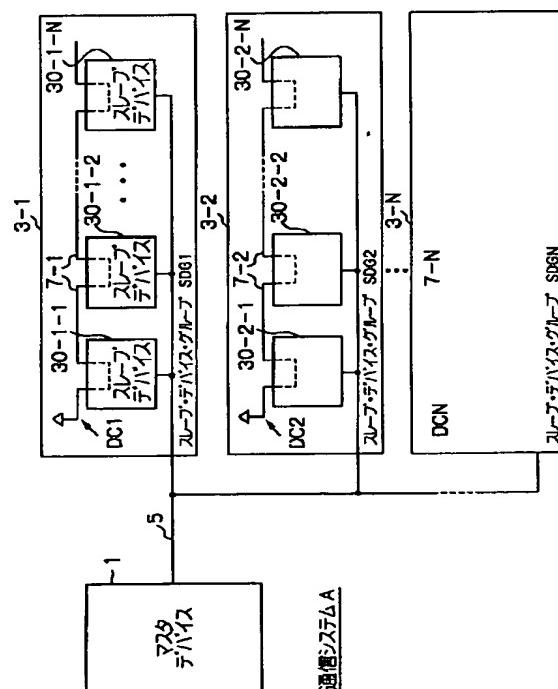
最終頁に続く

(54)【発明の名称】 デバイス識別の付与を備えた通信の方法および装置

(57)【要約】

【課題】 マスタ・デバイスと少なくとも1つのグループの複数のスレーブ・デバイスとの間で通信を行うための通信システムを提供する。

【解決手段】 通信システムは、マスタ・デバイス1と複数のスレーブ・デバイス30を接続するバス5に加えて、複数のデバイス30をデイジーチェーンDC1~Nで接続するデイジーチェーン接続線7-1~Nを備える。このデイジーチェーンによって、スレーブ・デバイス・グループ内の各スレーブ・デバイスに対し、自動的にデバイス識別子を付与したり、あるいは共有可能な資源の割当順序における順番を付与する。



【特許請求の範囲】

【請求項1】複数のデバイスを含むシステムにおいて、前記複数のデバイス間での通信を行う通信システムが、前記複数のデバイスを互いに接続するバスと、前記複数のデバイスをデイジーチェーンで接続するデイジーチェーン接続線と、を含むこと、を特徴とする通信システム。

【請求項2】請求項1記載のシステムにおいて、前記複数のデバイスは、マスタ・デバイスと少なくとも1つのグループの複数のスレーブ・デバイスから成り、前記通信システムにおいて、前記マスタ・デバイスと前記複数のスレーブ・デバイスの各々との間での通信を行うため、

前記バスは、前記マスタ・デバイスと前記1つのグループの前記複数のスレーブ・デバイスの各々とを接続し、前記デイジーチェーン接続線は、前記1つのグループの前記複数のスレーブ・デバイスをデイジーチェーンで接続すること、を特徴とする通信システム。

【請求項3】請求項1記載のシステムにおいて、前記デイジーチェーン接続線は、前記複数のスレーブ・デバイス内の各々のデバイスに対し、前記複数のスレーブ・デバイス内の当該デバイスの番号または前記システムにおける所定の順序における当該デバイスの順番を識別するためのデバイス識別子を割り当てるために使用すること、を特徴とする通信システム。

【請求項4】請求項2記載のシステムにおいて、前記少なくとも1つのグループは、複数のグループの前記複数のスレーブ・デバイスから成ること、を特徴とする通信システム。

【請求項5】請求項2記載のシステムにおいて、前記デイジーチェーン接続線は、前記1グループの前記複数のスレーブ・デバイスに対しデバイス識別子を付与すること、を特徴とする通信システム。

【請求項6】請求項5記載のシステムにおいて、前記デイジーチェーン接続線は、前記複数のグループのスレーブ・デバイスの各々に対し1つ設けたこと、を特徴とする通信システム。

【請求項7】請求項6記載のシステムにおいて、複数の前記デイジーチェーン接続線の各々に接続した前記1グループのスレーブ・デバイスは、これらが接続した前記デイジーチェーン接続線の識別子を有すること、を特徴とする通信システム。

【請求項8】請求項5記載のシステムであって、さらに、1つのグループの前記複数のスレーブ・デバイスにデバイス識別子を付与するための装置を含み、該デバイス識別子付与装置は、前記1つのグループの複数のスレーブ・デバイスの内の前記デイジーチェーンの最上流に位置する最上流デバイスに設けた、第1の時点でデバイス識別子付与トーケンを前記デイジーチェーンの下流に向かって送出するデバ

イス識別子付与トーケン発生手段であって、該最上流デバイスが第1のデバイス識別子を有する、前記のデバイス識別子付与トーケン発生手段と、

前記最上流デバイスに設けた、前記第1のデバイス識別子を記憶する記憶手段と、前記デイジーチェーンの下流に位置する各下流デバイスに設けた時間測定手段であって、前記デバイス識別子付与トーケンを第2の時点で受けたときの前記第1時点と第2時点との時間差を測定する、前記の時間測定手段と、

前記各下流デバイスに設けたデバイス識別子決定手段であって、測定した前記時間差に基づいて、該各下流デバイスの自己のデバイス識別子を決定する、前記の決定手段と、

前記各下流デバイスに設けた、前記の決定したデバイス識別子を記憶する記憶手段と、から成り、

これによって、前記最上流デバイスの前記第1デバイス識別子と前記下流デバイスの各々に対し決定した前記第1デバイス識別子とは異なった各前記デバイス識別子によって、前記複数のデバイスを識別すること、を特徴とする通信システム。

【請求項9】請求項1から3のいずれかに記載のシステムにおいて、

前記バスは、前記マスタ・デバイスと前記複数のスレーブ・デバイスとの各々の間でのデータおよび制御信号の双方を含む情報の伝送を行うこと、を特徴とする通信システム。

【請求項10】請求項2記載のシステムにおいて、前記通信は、前記通信を時分割多重で行うこと、を特徴とする通信システム。

【請求項11】請求項10記載のシステムにおいて、前記通信は、少なくとも2以上の異なる伝送帯域で行うこと、を特徴とする通信システム。

【請求項12】請求項11記載のシステムにおいて、前記通信は、連続した時間スロットを用いて行うこと、を特徴とする通信システム。

【請求項13】請求項12記載のシステムにおいて、前記異なる伝送帯域は、所定の時間フレーム内に使用する時間スロット数が異なることによって実現すること、を特徴とする通信システム。

【請求項14】請求項13記載のシステムにおいて、各前記スレーブ・デバイスに対する前記の使用時間スロット数は、可変であること、を特徴とする通信システム。

【請求項15】請求項14記載のシステムにおいて、前記使用時間スロット数は、予め設定すること、を特徴とする通信システム。

【請求項16】請求項14記載のシステムにおいて、前記使用時間スロット数は、0または1以上の整数であること、を特徴とする通信システム。

【請求項17】請求項14記載のシステムにおいて、前記デイジーチェーン接続線は、前記1つのグループの複数のスレーブ・デバイスの各々に対し時間スロットを割り当てるための時間スロット割当トークンを、前記1つのグループの複数のスレーブ・デバイス間で伝達するに使用すること、を特徴とする通信システム。

【請求項18】請求項17記載のシステムにおいて、前記1つのグループの複数のスレーブ・デバイスの各々は、前記1つのグループの複数のスレーブ・デバイス間で、前記時間スロット割当トークンを伝達し、該時間スロット割当トークンを受けた特定の前記スレーブ・デバイスは、前記時間スロットを利用する場合、該時間スロット割当トークンを受けた時、前記時間スロットの利用を開始し、前記使用時間スロット数だけ前記時間スロットを利用し、

前記使用時間スロット数の時間スロットの使用を終えた時、前記時間スロットの利用を終了し、前記使用時間スロット数の前記時間スロットのうちの最後に利用した前記時間スロットに後続する前記時間スロットを、前記1つのグループの複数のスレーブ・デバイスのうちの前記デイジーチェーンに接続された次のスレーブ・デバイスに割り当てるため、前記次のスレーブ・デバイスに対し前記時間スロット割当トークンを渡すこと、を特徴とする通信システム。

【請求項19】請求項2記載のシステムにおいて、前記バスは、シリアルバスであること、を特徴とする通信システム。

【請求項20】請求項19記載のシステムにおいて、前記シリアルバスを介しての通信は、通信時間フレームの間に実行し、

前記通信時間フレームは、第1の基準クロックの1周期に等しいこと、を特徴とする通信システム。

【請求項21】請求項19記載のシステムにおいて、前記シリアルバスを介しての通信は、データおよび制御信号の双方に対し共通の通信フォーマットで行うこと、を特徴とする通信システム。

【請求項22】請求項21記載のシステムにおいて、前記共通通信フォーマットは、初期化時には、少なくとも1つのコマンド・フィールドを含み、動作時には、少なくとも1つのコマンド・フィールドと、少なくとも1つのデータ・チャンネル・フィールドと、を含むこと、を特徴とする通信システム。

【請求項23】請求項22記載のシステムにおいて、前記コマンド・フィールドは、デバイス識別子を含むこと、を特徴とする通信システム。

【請求項24】請求項23記載のシステムにおいて、前記システムが複数のデイジーチェーン接続線を含むとき、

前記コマンド・フィールドは、デイジーチェーン番号を含むこと、を特徴とする通信システム。

【請求項25】請求項2記載のシステムにおいて、前記バスは、パラレルバスであること、を特徴とする通信システム。

【請求項26】請求項2記載のシステムにおいて、前記システムは、オーディオ・システムであること、を特徴とする通信システム。

【請求項27】複数のデバイスにデバイス識別子を付与する方法であって、前記複数のデバイスをデイジーチェーンで接続するステップと、

前記複数のデバイスの内の前記デイジーチェーンの最上流に位置する最上流デバイスから、前記デイジーチェーンの下流に向かって、デバイス識別子付与トークンを第1の時点にて送出するステップであって、該最上流デバイスが第1のデバイス識別子を有する、前記のステップと、

前記デイジーチェーンの下流に位置する各下流デバイスが、前記デバイス識別子付与トークンを第2の時点で受けるステップと、

前記各下流デバイスが、前記第1時点と前記第2時点との間の時間差に基づいて、該各下流デバイスが、自己のデバイス識別子を決定するステップであって、該デバイス識別子が、前記第1デバイス識別子とは異なる、前記のステップと、から成り、

これによって、前記最上流デバイスの前記第1デバイス識別子と前記下流デバイスの各々に対し決定した前記第1デバイス識別子とは異なった各前記デバイス識別子によって、前記複数のデバイスを識別すること、を特徴とするデバイス識別付与方法。

【請求項28】請求項27記載のシステムにおいて、前記第1時点は、第1の基準クロックにより定めること、

前記時間差を、前記第1時点からの第2の基準クロックの数をカウントすることにより、カウント値を発生すること、を特徴とするデバイス識別付与方法。

【請求項29】請求項28記載のシステムにおいて、前記カウント値に基づき前記デバイス識別子を定めること、を特徴とするデバイス識別付与方法。

【請求項30】請求項27記載のシステムにおいて、前記デバイスの各々は、前記デバイス識別子を格納するための記憶手段を有すること、を特徴とするデバイス識別付与方法。

【請求項31】請求項27記載のシステムにおいて、前記複数のデバイスは、同種のデバイスであること、を特徴とするデバイス識別付与方法。

【請求項32】請求項31記載のシステムにおいて、前記同種のデバイスは、入力デバイスまたは出力デバイスのいずれかであること、を特徴とするデバイス識別付

与方法。

【請求項33】請求項27記載のシステムにおいて、前記複数のデバイスは、集積回路チップであること、を特徴とするデバイス識別付与方法。

【請求項34】マスタ・デバイスと複数のスレーブ・デバイスとを含むシステムにおいて、前記マスタ・デバイスが前記複数のスレーブ・デバイスを識別する方法であって、

A. 前記マスタ・デバイスが前記複数のスレーブ・デバイスにデバイス識別子を付与するステップであって、請求項27から33のいずれかに記載のデバイス識別付与方法を実行することにより前記複数のスレーブ・デバイスのデバイス識別子を決定するステップと、から成る、前記のステップと、

B. 前記マスタ・デバイスが、前記デバイス識別子付与方法によって前記複数のスレーブ・デバイスに与えられる前記デバイス識別子によって、前記複数のスレーブ・デバイスを識別するステップと、から成るデバイス識別方法。

【請求項35】請求項34記載のシステムにおいて、前記マスタ・デバイスは、前記デバイス識別子付与方法によって前記複数のスレーブ・デバイスに対し与えられる前記デバイス識別子を、予め前記マスタ・デバイスに設けた記憶手段に格納すること、を特徴とするデバイス識別方法。

【請求項36】請求項34記載のシステムにおいて、前記マスタ・デバイスは、前記デバイス識別子付与方法によって前記複数のスレーブ・デバイスに対し与えられる前記デバイス識別子を、前記スレーブ・デバイスから受けて、前記マスタ・デバイス内の記憶手段に格納すること、を特徴とするデバイス識別方法。

【請求項37】請求項34記載のシステムにおいて、前記複数のスレーブ・デバイスが、複数のグループのスレーブ・デバイスから成ること、を特徴とするデバイス識別方法。

【請求項38】請求項37記載のシステムにおいて、前記複数のグループのスレーブ・デバイスを、複数の前記デイジーチェーンでそれぞれ接続することによって、各グループのスレーブ・デバイスに対する前記デバイス識別子を付与し、

前記複数のデイジーチェーンにそれぞれ接続した前記複数のグループのスレーブ・デバイスに対し、デバイス・グループ識別子を付与し、これによって、前記複数のグループのスレーブ・デバイスのうちの各スレーブ・デバイスを、前記デバイス・グループ識別子と前記デバイス識別子との組み合わせで識別すること、を特徴とするデバイス識別方法。

【請求項39】マスタ・デバイスと複数のスレーブ・デバイスとの間でデータを伝送するデータ伝送方法であつて、

請求項34から38のいずれかに記載のデバイス識別方法によって得た前記デバイス識別子を使用して、前記マスタ・デバイスが前記複数のスレーブ・デバイスとの間でデータ伝送すること、を特徴とするデータ伝送方法。

【請求項40】複数のデバイスにデバイス識別を付与するための装置であつて、前記複数のデバイスをデイジーチェーンで接続するデイジーチェーン接続線と、

前記複数のデバイスの内の前記デイジーチェーンの最上流に位置する最上流デバイスに設けた、第1の時点でのデバイス識別子付与トーケンを前記デイジーチェーンの下流に向かって送出するデバイス識別子付与トーケン発生手段であつて、該最上流デバイスが第1のデバイス識別子を有する、前記のデバイス識別子付与トーケン発生手段と、

前記最上流デバイスに設けた、前記第1のデバイス識別子を記憶する記憶手段と、

前記デイジーチェーンの下流に位置する各下流デバイスに設けた時間測定手段であつて、前記デバイス識別子付与トーケンを第2の時点を受けたときの前記第1時点と第2時点との時間差を測定する、前記の時間測定手段と、

前記各下流デバイスに設けたデバイス識別子決定手段であつて、測定した前記時間差に基づいて、該各下流デバイスの自己のデバイス識別子を決定する、前記の決定手段と、

前記各下流デバイスに設けた、前記の決定したデバイス識別子を記憶する記憶手段と、から成り、

これによって、前記最上流デバイスの前記第1デバイス識別子と前記下流デバイスの各々に対し決定した前記第1デバイス識別子とは異なった各前記デバイス識別子によって、前記複数のデバイスを識別すること、を特徴とするデバイス識別付与装置。

【請求項41】請求項40記載のシステムにおいて、前記デバイス識別子付与装置は、

前記第1時点を定めるための第1の基準クロックと、前記時間差を計測するための第2の基準クロックと、を含み、

前記時間測定手段は、前記時間差を、前記第1時点からの前記第2基準クロックの数をカウントすることにより、カウント値を発生すること、を特徴とするデバイス識別付与装置。

【請求項42】請求項41記載のシステムにおいて、前記デバイス識別子決定手段は、

前記時間測定手段から受ける前記カウント値に基づき前記デバイス識別子を決定すること、を特徴とするデバイス識別付与装置。

【請求項43】請求項40記載のシステムにおいて、前記複数のデバイスは、同種のデバイスであること、を特徴とするデバイス識別付与装置。

【請求項44】請求項43記載のシステムにおいて、前記同種のデバイスは、入力デバイスまたは出力デバイスのいずれかであること、を特徴とするデバイス識別付与装置。

【請求項45】請求項40記載のシステムにおいて、前記複数のデバイスは、集積回路チップであること、を特徴とするデバイス識別付与装置。

【請求項46】デバイスであって、デイジーチェーンの上流側に接続するための入力端子と、前記デイジーチェーンの下流側に接続するための出力端子と、該デバイスの前記デイジーチェーン内での位置に基づき、該デバイスに対しデバイス識別子を付与するデバイス識別付与手段と、から成るデバイス。

【請求項47】請求項46記載のシステムにおいて、前記デバイス識別付与手段は、時間測定手段であって、第1の時点でデイジーチェーンの最上流から送出されたデバイス識別子付与トークンを第2の時点で受けたときの前記第1時点と第2時点との時間差を測定する、前記の時間測定手段と、デバイス識別子決定手段であって、測定した前記時間差に基づいて、自己のデバイス識別子を決定する、前記の決定手段と、前記の決定したデバイス識別子を記憶する記憶手段と、を含むこと、を特徴とするデバイス。

【請求項48】請求項47記載のシステムにおいて、前記デバイス識別子付与手段は、前記第1時点を定めるための第1の基準クロックと、前記時間差を計測するための第2の基準クロックと、を受け、前記時間測定手段は、前記時間差を、前記第1時点からの前記第2基準クロックの数をカウントすることにより、カウント値を発生すること、を特徴とするデバイス。

【請求項49】請求項48記載のシステムにおいて、前記デバイス識別子決定手段は、前記時間測定手段から受けける前記カウント値に基づき前記デバイス識別子を決定すること、を特徴とするデバイス。

【請求項50】請求項46記載のシステムにおいて、前記複数のデバイスは、集積回路チップであること、を特徴とするデバイス。

【請求項51】マスタ・デバイスと複数のスレーブ・デバイスとを含むシステムにおいて、前記マスタ・デバイスが前記複数のスレーブ・デバイスを識別するデバイス識別システムであって、請求項40から45のいずれかに記載のデバイス識別付与装置と、該デバイス識別付与装置により付与された前記複数のス

レーブ・デバイスの前記デバイス識別子を記憶するため、前記のマスタ・デバイスに設けた記憶手段と、を含み、

これによって、前記マスタ・デバイスが、前記複数のスレーブ・デバイスを前記マスタ・デバイスに記憶した前記スレーブ・デバイスの前記デバイス識別子によって識別すること、を特徴とするデバイス識別システム。

【請求項52】請求項51記載のシステムにおいて、前記マスタ・デバイスの前記記憶手段には、前記デバイス識別子付与方法によって前記複数のスレーブ・デバイスに対し与えられる前記デバイス識別子を、予め格納したこと、を特徴とするデバイス識別システム。

【請求項53】請求項51記載のシステムにおいて、前記マスタ・デバイスの前記記憶手段は、前記デバイス識別子付与方法によって前記複数のスレーブ・デバイスに対し与えられる前記デバイス識別子を、前記スレーブ・デバイスから受けて格納したこと、を特徴とするデバイス識別システム。

【請求項54】請求項51記載のシステムにおいて、前記複数のスレーブ・デバイスが、複数のグループのスレーブ・デバイスから成ること、を特徴とするデバイス識別システム。

【請求項55】請求項54記載のシステムにおいて、前記複数のグループのスレーブ・デバイスを、複数の前記デイジーチェーンでそれぞれ接続することによって、各グループのスレーブ・デバイスに対する前記デバイス識別子を付与し、前記複数のデイジーチェーンにそれぞれ接続した前記複数のグループのスレーブ・デバイスに対し、デバイス・グループ識別子を付与し、これによって、前記複数のグループのスレーブ・デバイスのうちの各スレーブ・デバイスを、前記デバイス・グループ識別子と前記デバイス識別子との組み合わせで識別すること、を特徴とするデバイス識別システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般的には通信に関し、特に、デイジーチェーンを備えた回路、装置等のシステムにおける通信の方法および装置に関するものである。

【0002】

【従来の技術】従来、回路、装置、システム等において、それらに含まれる種々の集積回路チップ、ユニット、機器等のデバイス間で通信を行うため、それらデバイスの識別をすることが必要である。システムにおけるこのようなデバイスの識別法として、種々の方法がある。第1の方法として、デバイス固有の識別子を、システムにおける通信のためのデバイス識別子あるいはアドレスとして使用する方法がある。デバイス固有の識別子とは、例えば集積回路チップにおいて、製造時にROM

に焼き付けられる番号等である。このようなデバイス固有の識別子を使用する規格として、ボード上のチップ実装のテストにおいて使用されるJTAG規格、多くのオーディオ製品において使用されるIIC(例: Audio I/F (IIC))がある。第2の方法として、ブランチ、リーフのようなデバイスに対し外部からアドレスを割り当てる方法がある。この方法を使用する例としては、IEEE1394規格がある。さらに第3の方法として、デバイスの識別子すなわちアドレスが方式で予め定められているものがある。この例としては、SCSI-2規格がある。この規格では、プリンタ、ディスプレイ等のデバイスには、特定のアドレスがオペレーティング・システムによって予め推奨されている。

【0003】

【発明が解決しようとする課題】上記のデバイス固有の識別子を使用する第1の方法の場合、特に集積回路チップの場合では、この固有識別子は、デバイスの製造業者、デバイスの機能等による種類に依存して、各デバイスに固有のデバイス識別子が割り当てられ、デバイス内のROMに書き込まれるようになっている。したがって、同じデバイス種類のものであっても、異なった製造業者の製造したデバイスには、異なったデバイス識別子が付与されている。このため、オーディオ製品等のようなシステムにおいて、使用されているデバイスを、これと同じデバイス種類であるが異なった製造業者のデバイスへ単に置き換えることは、簡単に行うことができない。このような置き換えを行いたい場合には、置き換え前のデバイスのシステム内におけるデバイス識別子を、置き換え後のデバイスのデバイス識別子に置換することも必要となる。これには、ソフトウェアの書き換え、ROMの内容の書き換え等が含まれる。また、別の問題として、システム内で同じ種類のデバイスを複数個使用しようとする場合、同じデバイス識別子が割り当てられたデバイスを使用することはできないため、そのための対策として、1つのデバイスに対し複数のデバイス識別子をROMに焼き付け、それらの1つをデバイスの使用時に選択できるようにすることも必要となる。さらに、デバイスの固有識別子ではなく他のデバイス識別子を必要とするシステムにおいて、そのデバイスに対し新たにデバイス識別子またはアドレスを付与しなければならない。さらにまた、デバイス固有識別子は、製造業者を識別する部分も含むため、非常に冗長な番号となっている。

【0004】一方、上記第2の方法では、デバイスに外部からアドレスを付与することが必要であるため、そのアドレス付与のためのハードウェア、ソフトウェアが必要となる。

【0005】上記第3の方法では、オペレーティング・システム等において、特定のデバイスが使用するアドレスが予め推奨されているため、アドレス割当に制限があ

る。また、システムに接続できるデバイスの数にも制限がある。

【0006】したがって、本発明の目的は、回路、装置等のシステムにおける通信において、システム内のデバイスに対し、そのシステム内の多数のデバイスにおけるそのデバイスの番号またはシステム内番号を識別するための識別子を、自動的に付与することができる通信の方法および装置を提供することである。

【0007】また、本発明の別の目的は、上記のようなシステムにおける通信において、システム内のデバイスに対し、共有可能な資源の割当順序等の所定の順序における順番を識別するための識別子を、自動的に付与することができる通信の方法および装置を提供することである。

【0008】さらに、本発明の別の目的は、上記のようなシステムにおいて、上記の識別子を用いた可変時分割多重通信の方法および装置を提供することである。

【0009】

【課題を解決するための手段】上記目的を達成するため、本発明による、複数のデバイスを含むシステムにおいての前記複数のデバイス間での通信を行う通信システムは、前記複数のデバイスを互いに接続するバスと、前記複数のデバイスをデイジーチェーンで接続するデイジーチェーン接続線と、を含むことを特徴とする。

【0010】本発明によれば、前記複数のデバイスは、マスタ・デバイスと少なくとも1つのグループの複数のスレーブ・デバイスから成り、前記通信システムにおいて、前記マスタ・デバイスと前記複数のスレーブ・デバイスの各々との間での通信を行うため、前記バスは、前記マスタ・デバイスと前記1つのグループの前記複数のスレーブ・デバイスの各々とを接続し、前記デイジーチェーン接続線は、前記1つのグループの前記複数のスレーブ・デバイスをデイジーチェーンで接続するようである。

【0011】本発明によれば、前記デイジーチェーン接続線は、前記複数のスレーブ・デバイス内の各々のデバイスに対し、前記複数のスレーブ・デバイス内の当該デバイスの番号または前記システムにおける所定の順序における当該デバイスの順番を識別するためのデバイス識別子を割り当てるために使用することができる。

【0012】また、本発明によれば、前記少なくとも1つのグループは、複数のグループの前記複数のスレーブ・デバイスから成るようにできる。また、前記デイジーチェーン接続線は、前記1グループの前記複数のスレーブ・デバイスに対しデバイス識別子を付与するために使用することができる。この場合、前記デイジーチェーン接続線は、前記複数のグループのスレーブ・デバイスの各々に対し1つ設けることができる。このとき、複数の前記デイジーチェーン接続線の各々に接続した前記1グループのスレーブ・デバイスは、これらが接続した前記

デイジーチェーン接続線の識別子を有するようにできる。

【0013】また、本発明によれば、さらに、1つのグループの前記複数のスレーブ・デバイスにデバイス識別子を付与するための装置を含み、該デバイス識別子付与装置は、前記1つのグループの複数のスレーブ・デバイスの内の前記デイジーチェーンの最上流に位置する最上流デバイスに設けた、第1の時点でデバイス識別子付与トークンを前記デイジーチェーンの下流に向かって送出するデバイス識別子付与トークン発生手段であって、該最上流デバイスが第1のデバイス識別子を有する、前記のデバイス識別子付与トークン発生手段と、前記最上流デバイスに設けた、前記第1のデバイス識別子を記憶する記憶手段と、前記デイジーチェーンの下流に位置する各下流デバイスに設けた時間測定手段であって、前記デバイス識別子付与トークンを第2の時点で受けたときの前記第1時点と第2時点との時間差を測定する、前記の時間測定手段と、前記各下流デバイスに設けたデバイス識別子決定手段であって、測定した前記時間差に基づいて、該各下流デバイスの自己のデバイス識別子を決定する、前記の決定手段と、前記各下流デバイスに設けた、前記の決定したデバイス識別子を記憶する記憶手段と、から成り、これによって、前記最上流デバイスの前記第1デバイス識別子と前記下流デバイスの各々に対し決定した前記第1デバイス識別子とは異なった各前記デバイス識別子によって、前記複数のデバイスを識別するようになることができる。

【0014】また、本発明によれば、前記バスは、前記マスター・デバイスと前記複数のスレーブ・デバイスとの各々の間でのデータおよび制御信号の双方を含む情報の伝送を行うようになる。

【0015】また、本発明によれば、前記通信は、前記通信を時分割多重で行うようになる。この場合、前記通信は、少なくとも2以上の異なった伝送帯域で行うようになる。このとき、前記通信は、連続した時間スロットを用いて行うようになる。前記異なった伝送帯域は、所定の時間フレーム内に使用する時間スロット数が異なることによって実現することができる。各前記スレーブ・デバイスに対する前記の使用時間スロット数は、可変とすることができます。前記使用時間スロット数は、予め設定することができます。前記使用時間スロット数は、0または1以上の整数とすることができる。また、本発明によれば、前記デイジーチェーン接続線は、前記1つのグループの複数のスレーブ・デバイスの各々に対し時間スロットを割り当てるための時間スロット割当トークンを、前記1つのグループの複数のスレーブ・デバイス間で伝達するのに使用することができる。この場合、前記1つのグループの複数のスレーブ・デバイスの各々は、前記1つのグループの複数のスレーブ・デバイス間で、前記時間スロット割当トークンを伝達し、該時

間スロット割当トークンを受けた特定の前記スレーブ・デバイスは、前記時間スロットを利用する場合、該時間スロット割当トークンを受けた時、前記時間スロットの利用を開始し、前記使用時間スロット数だけ前記時間スロットを利用し、前記使用時間スロット数の時間スロットの使用が終えた時、前記時間スロットの利用を終了し、前記使用時間スロット数の前記時間スロットのうちの最後に利用した前記時間スロットに後続する前記時間スロットを、前記1つのグループの複数のスレーブ・デバイスのうちの前記デイジーチェーンに接続された次のスレーブ・デバイスに割り当てるため、前記次のスレーブ・デバイスに対し前記時間スロット割当トークンを渡すようになることができる。

【0016】また、本発明によれば、前記バスは、シリアルバスとすることができる。この場合、前記シリアルバスを介しての通信は、通信時間フレームの間に実行し、前記通信時間フレームは、第1の基準クロックの1周期に等しくすることができる。この場合、前記シリアルバスを介しての通信は、データおよび制御信号の双方に対し共通の通信フォーマットで行うことができる。前記共通通信フォーマットは、初期化時には、少なくとも1つのコマンド・フィールドを含み、動作時には、少なくとも1つのコマンド・フィールドと、少なくとも1つのデータ・チャンネル・フィールドと、を含むようになる。前記コマンド・フィールドは、デバイス識別子を含むようになる。前記システムが複数のデイジーチェーン接続線を含むとき、前記コマンド・フィールドは、デイジーチェーン番号を含むようになる。

【0017】さらに、本発明による、複数のデバイスにデバイス識別子を付与する方法は、前記複数のデバイスをデイジーチェーンで接続するステップと、前記複数のデバイスの内の前記デイジーチェーンの最上流に位置する最上流デバイスから、前記デイジーチェーンの下流に向かって、デバイス識別子付与トークンを第1の時点で送出するステップであって、該最上流デバイスが第1のデバイス識別子を有する、前記のステップと、前記デイジーチェーンの下流に位置する各下流デバイスが、前記デバイス識別子付与トークンを第2の時点で受けるステップと、前記各下流デバイスが、前記第1時点と前記第2時点との間の時間差に基づいて、該各下流デバイスが、自己のデバイス識別子を決定するステップであって、該デバイス識別子が、前記第1デバイス識別子とは異なる、前記のステップと、から成り、これによって、前記最上流デバイスの前記第1デバイス識別子と前記下流デバイスの各々に対し決定した前記第1デバイス識別子とは異なった各前記デバイス識別子によって、前記複数のデバイスを識別することを特徴とする。

【0018】本発明によれば、前記第1時点は、第1の基準クロックにより定め、前記時間差を、前記第1時点からの第2の基準クロックの数をカウントすることによ

り、カウント値を発生するようにできる。また、前記カウント値に基づき前記デバイス識別子を定めることができる。さらに、前記デバイスの各々は、前記デバイス識別子を格納するための記憶手段を有するようになる。

【0019】また、本発明によれば、前記複数のデバイスは、同種のデバイスとすることができ、また、該同種のデバイスは、入力デバイスまたは出力デバイスのいずれかとすることが可能。

【0020】また、本発明による、マスタ・デバイスと複数のスレーブ・デバイスとを含むシステムにおいて、前記マスタ・デバイスが前記複数のスレーブ・デバイスを識別する方法は、A. 前記マスタ・デバイスが前記複数のスレーブ・デバイスにデバイス識別子を付与するステップであって、上述のデバイス識別子付与方法を実行することにより前記複数のスレーブ・デバイスのデバイス識別子を決定するステップと、から成る、前記のステップと、B. 前記マスタ・デバイスが、前記デバイス識別子付与方法によって前記複数のスレーブ・デバイスに与えられる前記デバイス識別子によって、前記複数のスレーブ・デバイスを識別するステップと、から成る。

【0021】本発明によれば、前記マスタ・デバイスは、前記デバイス識別子付与方法によって前記複数のスレーブ・デバイスに対し与えられる前記デバイス識別子を、予め前記マスタ・デバイスに設けた記憶手段に格納するようになる。あるいは、前記マスタ・デバイスは、前記デバイス識別子付与方法によって前記複数のスレーブ・デバイスに対し与えられる前記デバイス識別子を、前記スレーブ・デバイスから受け、前記マスタ・デバイス内の記憶手段に格納するようになる。

【0022】また、本発明によれば、前記複数のスレーブ・デバイスが、複数のグループのスレーブ・デバイスから成るようになる。この場合、前記複数のグループのスレーブ・デバイスを、複数の前記デイジーチェーンでそれぞれ接続することによって、各グループのスレーブ・デバイスに対する前記デバイス識別子を付与し、前記複数のデイジーチェーンにそれぞれ接続した前記複数のグループのスレーブ・デバイスに対し、デバイス・グループ識別子を付与し、これによって、前記複数のグループのスレーブ・デバイスのうちの各スレーブ・デバイスを、前記デバイス・グループ識別子と前記デバイス識別子との組み合わせで識別するようになる。

【0023】また、本発明による、マスタ・デバイスと複数のスレーブ・デバイスとの間でデータを伝送するデータ伝送方法は、上述のデバイス識別方法によって得た前記デバイス識別子を使用して、前記マスタ・デバイスが前記複数のスレーブ・デバイスとの間でデータ伝送すること、を特徴とする。

【0024】また、本発明による、複数のデバイスにデバイス識別を付与するための装置は、前記複数のデバイスをデイジーチェーンで接続するデイジーチェーン接続

線と、前記複数のデバイスの内の前記デイジーチェーンの最上流に位置する最上流デバイスに設けた、第1の時点でデバイス識別子付与トークンを前記デイジーチェーンの下流に向かって送出するデバイス識別子付与トークン発生手段であって、該最上流デバイスが第1のデバイス識別子を有する、前記のデバイス識別子付与トークン発生手段と、前記最上流デバイスに設けた、前記第1のデバイス識別子を記憶する記憶手段と、前記デイジーチェーンの下流に位置する各下流デバイスに設けた時間測定手段であって、前記デバイス識別子付与トークンを第2の時点で受けたときの前記第1時点と第2時点との時間差を測定する、前記の時間測定手段と、前記各下流デバイスに設けたデバイス識別子決定手段であって、測定した前記時間差に基づいて、該各下流デバイスの自己のデバイス識別子を決定する、前記の決定手段と、前記各下流デバイスに設けた、前記の決定したデバイス識別子を記憶する記憶手段と、から成り、これによって、前記最上流デバイスの前記第1デバイス識別子と前記下流デバイスの各々に対し決定した前記第1デバイス識別子とは異なる各前記デバイス識別子によって、前記複数のデバイスを識別する。

【0025】さらに、本発明は、デバイスであって、デイジーチェーンの上流側に接続するための入力端子と、前記デイジーチェーンの下流側に接続するための出力端子と、該デバイスの前記デイジーチェーン内での位置に基づき、該デバイスに対しデバイス識別子を付与するデバイス識別付与手段と、から成るデバイスを提供する。

【0026】本発明によれば、前記デバイス識別付与手段は、時間測定手段であって、第1の時点でデイジーチェーンの最上流から送出されたデバイス識別子付与トークンを第2の時点で受けたときの前記第1時点と第2時点との時間差を測定する、前記の時間測定手段と、デバイス識別子決定手段であって、測定した前記時間差に基づいて、自己のデバイス識別子を決定する、前記の決定手段と、前記の決定したデバイス識別子を記憶する記憶手段と、を含むようになる。

【0027】また、本発明による、マスタ・デバイスと複数のスレーブ・デバイスとを含むシステムにおいての、前記マスタ・デバイスが前記複数のスレーブ・デバイスを識別するデバイス識別システムは、上述のデバイス識別付与装置と、該デバイス識別付与装置により付与された前記複数のスレーブ・デバイスの前記デバイス識別子を記憶するため、前記のマスタ・デバイスに設けた記憶手段と、を含み、これによって、前記マスタ・デバイスが、前記複数のスレーブ・デバイスを前記マスタ・デバイスに記憶した前記スレーブ・デバイスの前記デバイス識別子によって識別すること、を特徴とする。

【0028】本発明によれば、前記複数のスレーブ・デバイスが、複数のグループのスレーブ・デバイスから成るようになる。この場合、前記複数のグループのスレーブ

ープ・デバイスを、複数の前記デイジーチェーンでそれ接続することによって、各グループのスレーブ・デバイスに対する前記デバイス識別子を付与し、前記複数のデイジーチェーンにそれぞれ接続した前記複数のグループのスレーブ・デバイスに対し、デバイス・グループ識別子を付与し、これによって、前記複数のグループのスレーブ・デバイスのうちの各スレーブ・デバイスを、前記デバイス・グループ識別子と前記デバイス識別子との組み合わせで識別するようにすることができる。

【0029】

【発明の実施の形態】次に、本発明の実施形態について、図面を参照して詳細に説明する。先ず図1を参照すると、これには、本発明を組み込んだ基本構成の実施形態である通信システムAを示している。このシステムAは、図示のように、1つのマスタ・デバイス1と、複数のスレーブ・デバイス・グループ3-1～3-N (SDG 1～N) と、これらスレーブ・デバイス・グループの各々をマスタ・デバイス1と接続するバス5とで構成されている。各スレーブ・デバイス・グループは、例えば図示のように少なくとも1つ、例えば複数のスレーブ・デバイス30-1-1～30-1-N、または30-2-1～30-2-Nを備えている。これらスレーブ・デバイスの各々は、バス5に接続されている。また、通信システムAは、さらに少なくとも1つのデイジーチェーン、例えばDC1～DCNを備えている。各デイジーチェーンは、各スレーブ・デバイス・グループに対応していて、1つのデイジーチェーンは、1つのグループ内のスレーブ・デバイスに関係している。例えばスレーブ・デバイス・グループ3-1においては、デイジーチェーンDC1は、デイジーチェーン接続線7-1によって、複数のスレーブ・デバイスをデイジーチェーン形式で接続している。他のスレーブ・デバイス・グループには、デイジーチェーン接続線7-2～7-Nが設けられている。

【0030】図1に示した通信システムAにおいては、マスタ・デバイス1と各スレーブ・デバイス・グループSDG 1～N内の各スレーブ・デバイス30との間におけるコマンド等の制御信号およびデータは、バス5を介して伝送される。このバスは、シリアルバスであるが、パラレルバスで構成することもできる。この伝送において使用するデバイスの識別子は、各スレーブ・デバイス・グループ3-1～3-Nに設けた各デイジーチェーンDC1～DCNによって自動的に付与される。すなわち、スレーブ・デバイス・グループSDG 1内のスレーブ・デバイス30-1-1～30-1-Nの各々のデバイス識別子(デバイスID)は、デイジーチェーンDC1によってデバイスID付与トーケンまたは資源割当トーケン(後述)をスレーブ・デバイス間で伝達させることによって付与されるように構成している。デイジーチェーンDC1がスレーブ・デバイス30-1-1～30

-1-Nに与えるデバイスIDは、システム設計時に予め分かっているときには、マスタ・デバイス1のメモリにそれらのデバイスIDを予め記憶しておくようになることができる。尚、システム設計時に判明していないときには、それらスレーブ・デバイスに割り当てるデバイスIDは、マスタ・デバイスとスレーブ・デバイスとの間の通信によってマスタ・デバイスが保有するようにすることもできる。尚、図1に示した構成では、スレーブ・デバイス・グループが複数あるため、デバイス・グループ間でスレーブ・デバイスを区別するために、スレーブ・デバイス・グループの識別子あるいはデイジーチェーンの識別子が必要となる。このようなスレーブ・デバイス・グループ識別子は、各スレーブ・デバイス・グループ内に設けるスレーブ・デバイスのROMまたはRAMに格納したり、もしくは外部設定端子(Hは“1”、Lは“2”)で設定するようになることができる。

【0031】上記のようにしてスレーブ・デバイスの各々に与えるデバイスID(スレーブ・デバイス・グループ識別子も含む場合がある)は、前述のように、通信システムA内におけるスレーブ・デバイスの番号すなわちシステム内番号として使用したり、あるいはこのシステム内における共有可能な資源の割当順序のような所定の順序における順番として使用したりすることができる。

【0032】通信システムAの動作については、本システムは、例えば後述のように、可変時分割多重(VTD MCA: Variable Time Division Multiplex Command and Audio data)を用いることで動作させることができる。例えば、可変時分割多重においては、一定の通信時間フレーム毎に、連続した複数の時間スロットを設け、そしてこれら時間スロットを複数のチャンネルの各々に割り当てることによって、一定の通信フォーマットを使用して通信するようにシステムを動作させることができる。

【0033】次に、図2を参照して、図1の本発明の通信システムAをより具体化した1実施形態であるオーディオ・マルチチップ・システムBについて説明する。このシステムBは、マスタ・デバイスとしてデジタル・シグナル・プロセッサ(DSP)1Bを備え、そしてスレーブ・デバイスとして、入力(IN)デバイス・グループにN個のスレーブ・デバイス30-1-1B, 30-1-2B…30-1-NB(2つのみ示す)を、出力(OUT)デバイス・グループにN個のスレーブ・デバイス30-2-1B, 30-2-2B…30-2-NB(2つのみ示す)を備えている。したがって、システムBは、2つのスレーブ・デバイス・グループを備えている。ここで、INデバイス(DSPから入力を受けるデバイス)には、デジタル-アナログ変換器(DAC)、その他のデバイスが含まれ、OUTデバイス(DSPに出力を供給するデバイス)には、アナログ-デジタル変換器(ADC)その他のデバイスが含まれる。尚、後述

のように、コーデック (CODEC) のような IN/OUT デバイス、PLL のような信号処理としての入力/出力のない NO デバイスもシステム内に含むことができる。システム Bにおいては、DSP1B と IN デバイス 30-1-1B～NB および OUT デバイス 30-2-1B～NB を相互に接続するためのバスとして、導体 50B と導体 52B を備えている。すなわち、マスター・デバイスから複数のスレーブ・デバイスへの伝送に対し 1 本の接続線、そして複数のスレーブ・デバイスからマスター・デバイスへの伝送に対し 1 本の接続線を設けている。さらに、フレーム同期クロックを供給するための導体 60 と、ポート同期クロックを供給するための導体 62 を設けている。システム B はまた、2 つのスレーブ・デバイス・グループに対するデイジーチェーンとして、IN デバイス・グループのデバイス 30-1-1B～NB に対するデイジーチェーン DC1B と、OUT デバイス・グループのデバイス 30-2-1B～NB に対するデイジーチェーン DC2B を備えている。尚、後述のように、デバイス ID (device ID) として、IN デバイス 30-1-1B には "1" が、そして IN デバイス 30-1-2B には "2" が付与される。これと同様に、デバイス ID として、OUT デバイス 30-2-1B には "1" が、そして OUT デバイス 30-2-2B には "2" が付与される。これら 2 つのデバイス・グループを識別するためには、さらに、スレーブ・デバイス・グループ識別子が、各グループに属するデバイスの ROM に予め焼き付けられる等の方法によって付与される。例えば、IN デバイス・グループには "1"、そして OUT デバイス・グループには "2" 等が付される。

【0034】詳細には、DSP1B は、一般に入手可能なデジタル・シグナル・プロセッサを使用することができ、そしてこれは、送信用の通信フレーム (FSX) と受信用の通信フレーム (FSR) を定めるフレーム同期クロックを供給するポートと、送信用ポート同期クロック (CLKX) と受信用ポート同期クロック (CLKR) を供給するポートと、そしてこの DSP のシリアル・ポートを構成する、コマンドおよびデータの送信のためのデータ送信ポート DX とそしてそれらの受信のためのデータ受信ポート DR を備えている。一方、IN デバイスおよび OUT デバイスの各々は、導体 60 を介してフレーム同期クロックを受ける LRC K ポートと、導体 62 を介してポート同期クロックを受ける BCK ポートと、導体 50B を介して DSP1B からのデータおよびコマンドを受ける入力ポート PDI と、導体 52B を介して DSP1B に対し状態やデータを出力する出力ポート PDO とを備えている。さらに、これらデバイスには、各デバイスに対しデバイス ID を付与するため、デイジーチェーンの入力ポート DC1 と出力ポート DCO とを備えている。これらポートは、デイジーチェーンを構成するデイジーチェーン接続線 7-1B または 7-2

B のいずれかに接続されている。尚、IN デバイスには、DAC である場合のそのアナログ出力端子は図示しておらず、また、OUT デバイスでは、これが ADC である場合のそのアナログ入力端子は図示しておらず、デジタル信号を伝達する線のみを示している。

【0035】次に、図 3 を参照して、デイジーチェーンを用いてデバイス ID (またはデバイス番号) を付与する回路等を詳細に説明する。尚、図 3 には、図 2 のシステム B 内の IN デバイス 30-1-1B, 30-1-2B の 2 つのデバイスのみを示しているが、他の IN デバイスおよび OUT デバイスについても同様である。IN デバイス 30-1-1B は、デイジーチェーン DC1B の一部を構成する回路として、当該デバイスにデバイス ID 付与するためのデバイス ID 付与回路 70-1B と、当該デバイスに共有可能な資源であるバスの利用の順番 (本例では、通信フレーム内の連続した多数の時間スロットのうちの特定の順番の時間スロット) を割り当てるための時間スロット割当回路 72-1B を備えている。これら回路の入力は、DC1 ポートを介してデイジーチェーンの上流側の接続線 7-1BU1 に、そしてそれらの出力は、DC0 ポートを介して下流側の接続線 7-1BD1 に接続されている。尚、上流側接続線 7-1BU1 は、基準電圧に接続されており、そして下流側接続線 7-1BD1 は、1 つ下流の IN デバイス 30-1-2B の上流側接続線 7-1BU2 に接続されている。IN デバイス 30-1-2B も、同様に、同じ ID 付与回路 70-2B とスロット割当回路 72-2B を備え、そして下流側接続線 7-1BD2 は、さらに 1 つ下位の IN デバイスの上流側接続線に接続されている。これら回路の詳細については、以下で後述する。

【0036】次に、図 4 を参照して、図 2 のオーディオ・マルチチップ・システム B の全体の動作について説明する。図 4 には、本システムで利用する可変時分割多重通信 (VTDMA) のフォーマットを示している。詳細には、フレーム同期クロックである LRC K は、オーディオ信号のサンプリング周波数と同じ周波数 f_s の逆数の周期 $1/f_s$ を有している。これは、従来のオーディオ製品において用いられているインターフェース (Audio Serial Interface) におけるデューティー比 50% のものに比べ、デューティー比が 50% よりかなり小さくされており、例えばクロック BCK の 2 周期分の "H" 区間にしている。その理由は、本発明による VTDMA 通信インターフェースと、従来の通信インターフェースとをそのデューティー比の違いによって識別できるようにすることによって、従来方式と共存可能としてコンパチビリティを保証するためである。ポート同期クロック BCK の周波数によって、フレーム同期クロックの 1 周期の間に、多数の連続した時間スロットを定め、これによって多チャンネルに対応可能としている。これにより、時分割多重通信を実現している。また、図

4は、この多数の時間スロットをもつ通信フレームの間において、初期化時と動作時においてINデバイスおよびOUTデバイスの入力ポートPDIに入出力されるデータおよびコマンドの入力フォーマットおよび出力ポートPDOから出力されるデータおよびコマンドの出力フォーマットを示している。初期化(initialization)時においては、入力PDIのフォーマットは、図示のように、先頭にコマンド・フィールド(CMD)、そしてこれに多数の拡張コマンド・フィールド(EMD)が続く。尚、各フィールドは、32ビットを有していて、上記の1つの時間スロットの期間内に収まる長さを有している。INデバイス等からの出力PDOのフォーマットは、8ビットの状態フィールド(STF)が連続しており、この各状態フィールドはレジスタに格納された状態データを含む。次に、動作時においては、入力PDIのフォーマットは、先頭に32ビットのコマンド・フィールド(CMD)、そしてこれに続いて、多数のn個のチャンネルch1～chnの各々に対するオーディオ・チャンネル・フィールド(Ch1～Ch(n))がある。また出力PDOのフォーマットは、先頭に8ビットの状態フィールド(STF)、そしてこれに続いて、m個のチャンネルの各々に対するオーディオ・チャンネル・フィールド(Ch1～Ch(m))がある。尚、入力チャンネルと出力チャンネルの数は異なった数とすることができるため、チャンネルの数mと数nとは同一としたりあるいは異なる数とすることができる。すなわち、動作時には、INデバイスは、入力データのみを受けるため、PDIフォーマットのみを使用し、そしてOUTデバイスは、出力データを送出するだけであるので、PDOフォーマットのみを使用する。以上から分かるように、本発明のVTDMCA通信では、シリアルバスを時分割多重で用いるものである。

【0037】次に、図5を参照して、上記のコマンド・フィールド、拡張コマンド・フィールド、オーディオ・チャンネル・フィールドを説明する。詳細には、図5(a)は、コマンド・フィールドの構造を示している。このコマンドの先頭のDIDフィールドは、デバイスID決定シーケンスの実行有無を示すフィールドであり、このビットが“1”的ときは、その決定シーケンスを実行し、“0”的ときは後続のコマンドを実行する。EMDフィールドは、図4に示した拡張コマンド・フィールドの後続の有無を示すフィールドであり、このビットが“1”的ときは、次のフィールドが拡張コマンド・フィールドであることを示し、“0”的ときは、次のフィールドがオーディオ・チャンネル・フィールドであることを示す。デイジーチェーン・セレクト・フィールド(DCS)は、スレーブ・デバイス・グループを示すフィールドであり、図2に示した例においては、INデバイスに0を、OUTデバイスに1を割り当てている。“デバイスID(device id)”フィールドは、デバイスID

決定シーケンスで付与されたデバイス番号であり、デバイスの識別に使用する。この“デバイスID”フィールドが、“0x00”的ときは、デバイスは全て選ばれておらず、そして“0x1F”的ときは、デバイスは全て選ばれている。この設定は、一度に同じ設定(例えば、DACのイネーブル、ミュートのオン/オフ等)を行うことができる。“レジスタID(register id)”フィールドは、INデバイスまたはOUTデバイスの各々の固有の内部レジスタに割り当てられた番号であり、この番号は、レジスタの識別に使用する。このフィールドには、R/Wフラグが含まれ、その内部レジスタへの書き込みまたは読み出しを指定する。“データ(data)”フィールドは、デバイスIDとレジスタIDとによって選択した指定のデバイスの指定の内部レジスタに対するデータを含む。

【0038】次に、図5(b)に示した拡張コマンド・フィールドについて説明すると、このフィールドは、MSBビットが未使用(rvd)である以外は、図5(a)のコマンド・フィールドと同じ構造を有している。尚、このフィールドの後には、拡張コマンド・フィールドしか選択できない。

【0039】図5(c)は、状態フィールド(STF)を示しており、これは、32ビットのうちのビット8～15の8ビットのみを使用する(図4では、8ビットとして図示)。この状態フィールドは、コマンド・フィールドまたは拡張コマンド・フィールドにおける要求に応答して、スレーブ・デバイス内のレジスタに格納したスレーブ・デバイスの状態を読み出してDSP1Bに送るのに使用する。

【0040】最後に、オーディオ・チャンネル・フィールドは、図示していないが、オーディオ・データの伝送に使用する。各々のオーディオ・チャンネル・フィールドは、これらフィールドに先行するコマンド・フィールドで選択されたデバイスのオーディオ・データとして扱う。尚、オーディオ・フォーマットは、デバイス毎に任意に選択することもできる。

【0041】以上に説明したフォーマットからも分かるように、図2および図3に示したスレーブ・デバイスであるINデバイスおよびOUTデバイスには、図示していないが、各デバイスが占有するオーディオ・チャネルを選択するレジスタを設けている。また、確認用として、各デバイスのデバイスIDを格納するレジスタを設けるのが好ましい。また、各デバイスの内部レジスタは、上述のように、各デバイスの内部レジスタにコントロール・データを設定するだけではなく、その内部レジスタから読み出すこともできる。図2のシステムでは、読み出し用ポートとしてPDOポートを使っているが、PDOをHiz(高インピーダンス、すなわち開放)出力にすることにより、全てのデバイスのPDOポートをワイヤドオア接続できる。レジスタのリード/ライトの

タイミングについては、当業者であれば任意に設計することができるので、その詳細については説明を省略する。

【0042】次に、図6のフローチャートを参照して、図2に示したオーディオ・マルチチップ・システムBの全体の動作について説明する。尚、このフローチャートは、ホスト・コントローラ(本例ではDSP)からの制御を示している。先ず、ステップ60において、VTDMCA通信モードを使用するか否かを判定する。この判定は、通常、システム設計の段階で決められる。VTDMCAモードではないと判定したときは、ステップ61において、従来の通常の動作モードを使用する。この従来のモードでは、Audio Serial InterfaceおよびHost Serial Interfaceを用いる。一方、VTDMCAモードを使用すると判定した場合、ステップ62において、ホスト・コントローラが、VTDMCAモードを使用するための初期化を実行する。すなわち、DSP1Bのシリアル・ポートを初期化し、フレーム同期クロックLRCRの“H”区間幅、BCKクロック数、データ長、フレーム長等を設定する。その後、ステップ63において、VTDMCAモード決定シーケンスを生成する。また、図4に示した初期化用のPDI入力(図5(a))のDIDフィールドが“1”を生成することによって、デバイスID決定シーケンスを開始させ、これによってINデバイスとOUTデバイスに対しデバイスIDを自動的に付与する。次に、ステップ64において、必要な場合には、全てのINデバイスおよびOUTデバイスのデバイスIDを確認する。これは、DSP1Bが、各デバイスの内部レジスタに格納されたデバイスIDを読み出すことによって行う。すなわち、PDI入力を使用してDSP1Bが各スレーブ・デバイスに対しそのデバイスIDを格納した内部レジスタを読み出すコマンドを送り、これに応答して、各スレーブ・デバイスが、その読み出したデバイスIDをDSP1Bに対しPDI出力を使用して送ることによって実現される。DSP1Bは、これら受け取った各スレーブ・デバイスのデバイスIDを、予めDSP自身のメモリに格納されたスレーブ・デバイスのデバイスIDと照合する。またさらに、ステップ64において、PDIデータの拡張コマンド・フィールド(図5(b)に図示)を使用することによって、全てのスレーブ・デバイスを初期化する。初期化の完了後、次のステップ65では、DSP1Bは、INデバイスに対し、PDI入力を送るか、あるいはOUTデバイスからPDI出力を受ける。例えば、動作時においては、INデバイスへのPDI入力では、DSP1Bは、最初にあるINデバイス(任意に選択可)に対して、書き込みあるいは読み出しのコマンド・フィールドを送り、そしてそれに続いて、オーディオ・チャンネル・フィールドを送る。オーディオ・チャンネル・フィールドは、予め、全てのデバイスに対して行われた初期化によってその割

り当てが決定している。このときのコマンド・フィールドが読み出しあれば、そのコマンド・フィールドで指定されたレジスタの内容がPDIポートから状態フィールドに出力される。また、OUTデバイスに対するコマンド・フィールドも同様であり、オーディオ・チャンネル・フィールドがオーディオ・データの送信に変わるだけである。

【0043】次に、図7～図21を参照して、上述したシステムBの動作の詳細について説明する。図7は、DSP1Bが図6のステップ62において生成するVTDMCAモード決定のためのクロックLRCRおよびBCKのタイミングを示している。図示のように、LRCRのH(“1”)区間をBCK2クロック分としている。さらに、誤動作を防ぐため、INデバイスおよびOUTデバイス側は、2回の検知(図7には、1回目はプレ(pre) VTDMCAフレーム、2回目をVTDMCAフレームとして示している)でVTDMCAモードを確定するよう動作する。尚、LRCRのH(“1”)区間をBCK2クロック分としたのは、上述のように、従来の動作モードにおけるAudio Serial InterfaceのLRCR50%デューティーと区別できるようにするためにある。

【0044】次に、図8を参照して、デバイスID付与シーケンスのタイミングについて説明する。尚、このシーケンスは、図6のステップ63で実行するものである。このデバイスID決定シーケンスは、INデバイス・グループおよびOUTデバイス・グループの各々で互いに独立に行い、そしてデバイスID付与トークン(DIDトークン)をデイジーチェーンの最上流から下流に向かって伝達することにより行う。以下の説明ではINデバイスについてのみ説明するが、同様の動作は、OUTデバイス・グループについても行う。詳細には、DIDトークンは、デイジーチェーンの最上流に接続した基準電圧により形成される。先ず、図8のPDIポートに入力されるPDIデータは、デバイスID付与シーケンスを開始させるため、前述のDIDフィールドが“1”にセットされたコマンド・フィールドを含む。このコマンドを受けたINデバイスは、デイジーチェーンの最上流のINデバイスでは、DCI1ポートに、常にハイのDIDトークンを受けていたため、クロックLRCRがハイのときにデバイスID=1と判断する。そしてこのDIDトークンを下流のINデバイスへと伝達する。下流のINデバイスは、このDIDトークンを受けるまでにカウントしたBCKのクロック数に基づいて(2クロックで1と判定)それ自身のデバイスIDを決定する。図8に示したように、最上流のINデバイス(先頭デバイスとも呼ぶ)の次に下位のINデバイスは、DCO1に接続したDCI2がハイとなるまでのBCKクロックをカウントし、そしてカウント4をデバイスID=2とする。次に下位のINデバイスは、カウント6をデバイ

$SID = 3$ とする。すなわち、内部カウンタの2桁目以上を使用してデバイスIDを決定する。以上のようにして、DIDトークンをデイジーチェーンで最上流から下流へと伝達することによって、INデバイスが実行のデバイスIDを決定することができる。要約すると、コマンド・フィールド内のDIDフィールドにより、全てのスレーブ・デバイスがデバイスID決定シーケンスを認識し、そして先頭のスレーブ・デバイスから順番にDIDトークンをCLKに同期して送っていき、DCIポートに“ハイ”が現れたサイクルで自分が何番目に接続されているか各スレーブ・デバイスが自分で認識すると共に、次のデバイスにDIDトークンを出力して行く。先頭のデバイスのDCIポートを“1”に固定することにより、デバイスID=1を認識し起点となる。

【0045】本発明のこのデバイスID決定方法を使用することにより、同一システム内に同じ種類のデバイスが複数存在しても、DSPのようなマスタ・デバイスがそれを特定することができる。この方法では、単純にマスタ・デバイスの外部端子を利用してデバイスを識別する方法と比べ、識別できるデバイスの数は、利用できるマスタ・デバイスの端子数に制限されない、という利点がある。すなわち、本発明のデイジーチェーンを利用すると、そのような従来の制約はなくなり、マスタ・デバイスの設定端子数の増加を伴わずに、スレーブ・デバイスの数を増加させることができる。

【0046】次に、図9を参照して、このデバイスID付与シーケンスを実行する図3に示したデバイスID付与回路70の1つの詳細について説明する。尚、他のデバイスID付与回路も同じ回路のものであるので、回路70-2Bについて詳細に説明することにする。デバイスID付与回路70-2Bは、図示のように、クロックLRCKとクロックBCK、そしてDCIポートからのデバイス識別子(DID)付与トークン入力と、デバイスID決定シーケンスの開始コマンドと、システム・リセット信号とを、入力として受け、そして出力として、DCOポートへのDID付与トークン出力を発生するように構成されている。尚、開始コマンドは、図8で説明したコマンド・フィールド内のDIDフィールドにおける“1”的信号である。また、システム・リセット信号は、システムのリセットが解除されるときにハイとなる信号である。これら入力および出力を有する本回路は、図示のように、大きく分けて、デバイスID決定シーケンス開始制御部700と、時間測定部701と、デバイスID記憶部702と、トークン判別回路703と、DID付与下流側トークン生成回路704と、先頭デバイス(最上流デバイス)判別回路705と、先頭トークン生成回路706とから構成されている。詳細には、シーケンス開始制御部700は、D形フリップフロップ(F/F5)7000を備え、これは、D入力、CK入力、リセット(RST)入力、そしてQ出力を有し、そして

CK端子は、インバータ7002を介してクロックLRCKを受ける。このF/F5は、システム・リセット信号がハイで、開始コマンドがハイのとき、クロックLRCKに応答して、ハイのQ出力を発生する。このハイのQ出力は、決定シーケンスの開始から終了までの期間(1フレーム期間に等しい)を示す信号を出力する。

【0047】一方、時間測定部701は、カウンタ7010で構成され、このカウンタ7010は、クロックBCKを受けるCLK端子と、F/F5のQ出力に接続したRESET端子とを備えている。このカウンタは、RESET端子に受けるF/F2のQ出力の立ち下がりエッジによってリセットされ、そしてデバイスID決定シーケンスの開始後に受けるクロックBCKをカウントすることにより、決定シーケンス開始時からの時間測定を開始し、その時間測定結果としてカウント値をその出力に発生する。また、デバイスID記憶部702は、+1加算器7020とレジスタ7022で構成されている。+1加算器7020は、入力がカウンタ7010のLSBを除くカウンタ出力を受けるように接続し、そしてカウンタ出力に1加算した出力を発生する。これにより、クロックBCKの2クロック分を、デバイス識別子1つ分としてカウントする。レジスタ7022は、クロックBCKを受けるCLK端子に加え、トークン入力を受けるLATCH端子と、+1加算器7020の出力に接続された入力を有している。このレジスタ7022は、ハイのトークン入力を受けたときに、クロックBCKに応答して、決定シーケンス開始時からトークン入力受信時までの時間測定の結果としての加算器出力をラッチし、この加算器出力を当該デバイスのデバイスIDとして記憶する。デバイスID付与回路70-2Bが含むDID付与下流側トークン生成部704は、D形フリップフロップ(F/F1)7040とD形フリップフロップ(F/F2)7042から成る。これらF/Fは、F/F5(7000)のQ出力を受けるRST入力と、クロックBCKを受けるCK端子とを備えている。それらのD入力は、F/F1がトークン判別回路703からのトークンを受け、そしてF/F2がF/F1のQ出力を受けるように接続されている。この構成により、F/F1とF/F2は、決定シーケンス開始時にリセット(立ち下がりエッジでリセット)された後、その後にトークン判別回路703を介してトークンを受けたときに、この受けたトークンをクロックBCKの2クロック分(2段のF/F)遅延させたものを、下流側のDID付与トークンとしてF/F2のQ出力に生成するよう動作する。以上は、先頭デバイスを含むデバイスの一般的な動作であるが、先頭デバイスの場合、DID付与トークン入力は常にハイであるため、先頭トークンを特別に生成する必要がある。このため、上記のように、デバイスID付与回路70-2Bは、回路703, 705, 706をさらに備えている。

【0048】詳細には、トークン判別回路703は、セレクタ7030を備え、これは、DID付与トークン（これは、先頭デバイスでは常にハイの信号）を受ける入力と、先頭トークン（後述）を受ける入力とを有し、そしてまた当該デバイスが先頭デバイスであること（ハイのとき）を示す先頭デバイス信号を受ける制御入力とを備えている。このセレクタは、先頭デバイス信号がハイのとき、先頭トークンを出力に通し、そしてローのときには上流からのDID付与トークンを出力に通すように動作する。また、先頭デバイス判別回路705は、フリップフロップ（F/F6）7050とANDゲート7052とを備えている。F/F6は、システム・リセット信号を受けるリセット入力と、インバータ7002を介してクロックLRCRを受けるCK端子と、そしてANDゲート7052の出力に接続したD端子とを備え、そしてそのANDゲートは、開始コマンドを受ける入力とDID付与トークン入力を受ける入力とを備えている。先頭デバイスの場合、DCIは常にハイであるため、ANDゲート（AN1）7052は、開始コマンドがハイになったときにハイの出力を出す。この出力を受けるF/F6は、クロックLRCRの立ち下がりに応答して、ハイのQ出力を発生し、そしてこれはクロックLRCRの次の立ち下がり時にローになる（図10参照）。一方、先頭デバイス以外の下流のデバイスでは、開始コマンドとDCI入力とが同時にハイになることはないため、F/F6のQ出力は常にローに留まる。このようにして、F/F6のハイのQ出力は、当該デバイスが先頭デバイスであることを示す。

【0049】次に、先頭トークン生成回路706は、先頭デバイスではDCIが常にハイであるため、先頭デバイス専用のトークンを生成するために設けられている。詳細には、この回路706は、F/F3（7060）とF/F4（7062）と、インバータ7064と、そしてANDゲート（AN2）7066とを備えている。F/F3とF/F4とは、F/F5のQ出力を受けるリセット端子と、クロックBCKを受けるCK端子とを備え、そしてF/F3は、先頭デバイス信号（F/F6のQ出力）を受けるD端子を備え、そしてF/F4は、F/F3のQ出力に接続したD端子を備えている。この接続により、F/F3とF/F4とは、先頭デバイス信号の前縁を1クロック分ずつ（図10参照）、したがって2クロック分遅延させるよう動作する。遅延した信号をインバータ7064で反転させた信号と、先頭デバイス信号とを受けるANDゲートAN2は、通信フレームの開始（クロックLRCRの立ち下がり）からクロックBCKの2クロック分の長さだけハイの信号を出力に発生する。この出力は、先頭デバイス用の先頭トークンを構成する（図10参照）。この先頭トークンは、上記のように、トークン判別回路703に供給される。尚、先頭デバイス以外の下流のデバイスでは、先頭デバイス信号

は常にローであり、したがってANDゲートAN2の出力は常にローとなる。

【0050】次に、図10および図11を参照して、このデバイスID付与回路70の動作を説明する。先ず、図10のタイミング図を参照して先頭デバイスについて説明する。最初に、システム・リセット信号がハイになった後、クロックLRCRがハイになってVTDMCAフレームが開始され、その後に受ける開始コマンドのハイによって、デバイスID決定シーケンスの開始が示されると、F/F5のQ出力は、ハイとなってデバイスID決定シーケンスを示す。これにより、カウンタ7010は、図示のようにクロックBCKのカウントを開始し、また加算器7020の加算によるデバイス識別子のカウントアップを開始する。一方で、F/F6は、当該デバイスが先頭デバイスであることを示す先頭デバイス信号を出力し、そしてこれに応答してF/F3, 4等を介して、図示のように2クロック分ハイとなる先頭トークンを発生する。この先頭トークンは、セレクタ7030が、先頭デバイス信号がハイであるため出力に通してレジスタ7022とF/F1に供給される。これにより、レジスタ7022は、先頭トークンに応答してそのときの加算器出力“1”をラッチして記憶する。この“1”は、当該デバイスのデバイス識別子=1であることを示す。一方で、その先頭トークンを受けるF/F1は、F/F2と共に動作して、先頭トークンを2クロック分遅延させて下流側トークンを生成し、これをF/F2のQ出力に発生する。以上の動作によって、先頭デバイスには、デバイス識別子=1が与えられる。

【0051】次に、図11を参照して、先頭デバイスの1つ下流のデバイスについて説明すると、下流デバイスの場合、上述のようにF/F6並びにF/F3, 4, 5のQ出力は全てローであるため、先頭デバイス信号（F/F6のQ出力）および先頭トークン（ANの出力）はローである。一方で、先頭デバイスからの下流トークンをDID付与トークンとしてDCIを介して受けと、セレクタ7030は、先頭デバイス信号がローであるため、このDID付与トークンを出力に通過させてレジスタ7022、F/F1に供給する。これにより、レジスタ7022は、その時の加算器出力をラッチしてデバイス識別子=2を記憶する。これと同時に、F/F1とF/F2は、このトークンを2クロック分遅延させることによって、さらに下流のデバイスに対するDID付与トークンを生成する。

【0052】以上の動作によって、INデバイス・グループの各デバイスは、自己のデバイスIDを決定する、すなわちデバイスIDの付与を受けることができる。尚、F/F5のQ出力が“ロー”に立ち下がったとき、この決定シーケンスは終了する。この決定シーケンスは、システムの初期化時に一回行うことが必要なだけであり、したがって、開始コマンドは、初期化時に一回生

成させるだけである。初期化後の動作時においては、一度決定されたデバイスIDがレジスタに格納されたままとなる。

【0053】次に、図12を参照して、図3に示した時間スロット割当回路72の全体の動作について説明する。この回路は、可変時分割多重(VTDMCA)通信において、INデバイスまたはOUTデバイスのようなスレーブ・デバイスの各々に対し、通信フレーム内の時間スロットを割り当てるのに使用するものである。尚、デバイスID付与回路70の場合と同様に、INデバイス・グループとOUTデバイス・グループとは互いに独立して同じ方法でこの時間スロット割当を行ふため、図12に示したINデバイス・グループについて最初に説明する。図示のように、1つの通信フレームは、クロックLRCCKの立ち上がりから次の立ち上がりまでの期間であり、そして、クロックLRCCKの立ち上がりから最初の時間スロットが開始し、そしてこの後に多数の時間スロットが続く。図12に示した例では、最初の時間スロットでは、PD1入力のコマンド・フィールドが、そして2番目以降の時間スロットの各々には、オーディオ・チャンネル・フィールドch1～ch8の1つが存在する。尚、ch8より後の期間は、図示例では不使用の期間である。また、図12の例では、それぞれのINデバイスが2チャンネル分を利用する場合、最上流デバイス(DID=1)はch1とch2を利用し、次のデバイス(DID=2)はch3とch4を利用し、そして次のデバイス(DID=3)はch5とch6を利用し、そして最後のデバイス(DID=4)はch7とch8を利用する。

【0054】通信フレームの開始後、デバイスID(DID=1)番号1の先頭(最上流)デバイスは、2つのオーディオ・チャンネルがイネーブルで、また常にDC1ポートがハイであるため、DSP1BからPD1ポートに受けたPD1入力内のコマンド・フィールド後の最初のオーディオ・チャンネル・フィールドから2チャンネル分を取り込む。その際、ch2のオーディオ・チャンネル・フィールドの時間スロット期間の間、DCO1ポートをハイにして、時間スロット割当トークン(以下では、時間スロット割当(SA)トークンと呼ぶ)を生成して、1つ下流の第2のINデバイス(DID=2)に送る。この第2のINデバイスも2チャンネル・フィールド分を取り込むので、ch3とch4を取り込む。同様に、その際、ch4のオーディオ・チャンネル・フィールドの時間スロット期間の間、DCO2ポートをハイにしてSAトークンを生成して、1つ下流の第3のINデバイス(DID=3)に送る。その後、同様にして、最後のINデバイス(DID=4)がSAトークンを受け取り、その直後のオーディオ・チャンネル・フィールドから自身の利用チャンネル数分(2つ分)だけオーディオ・チャンネル・フィールドを取り込み、

そして自身の最後のオーディオ・チャンネル・フィールドの時間スロット期間(ch8)にSAトークンを生成し、1つ下流のINデバイスにこのSAトークンを渡していく。これによって、時分割多重通信が実現される。また、この例では、最後のINデバイス(DID=4)は、自身が最後であるという認識は必要なく、下流にSAトークンを出力している。また、各デバイスが使用する時間スロットの数を互いに異なるように設定することにより、可変時分割多重が実現される。尚、以上のINデバイス・グループに対するタイミングは、OUTデバイス・グループについても、図示のように同様である。

【0055】次に、図13～図15を参照して、図3に示した時間スロット割当回路72の回路の詳細について説明する。図13(a)および(b)に示したように、時間スロット割当回路72は、大きく分けて、時間スロット位置指示部720と、利用時間スロット指示部721(図13(b))と、割当時間スロット判別部722(図13(b))と、データ保持部724と、データ記憶部725と、そしてSA(スロット割当)トークン生成部726と、源トークン生成部727とから成っている。時間スロット位置指示部720は、カウンタ7200とANDゲート7202で構成されている。カウンタ7200は、クロックLRCCKを受けるRST端子と、クロックBCKを受けるCK端子と、5ビットのカウンタ出力(Q1～Q5)とを有し、そしてクロックLRCKの立ち下がリエッジでリセットされ、そして1つの時間スロット(クロックBCK32個分)の間に発生するクロックBCKの数のカウントを完了したときに、5ビット・カウンタ出力(Q1～Q5)が全てハイとなる(クロックBCKの2個目からカウント開始するためカウント“31”で全てハイとなる)。このカウンタ出力の各ビットに接続した入力をもつANDゲート7202は、カウンタ出力が全て“1”になったときのみハイの出力を発生する。このハイのANDゲート出力は、各々の時間スロットの終了部分を指示する信号(bc31)となる。

【0056】利用時間スロット指示部721は、当該INデバイスが利用する時間スロット数を指示するものであって、Nビットのレジスタ7210で構成されている。Nは、デバイス内に設けられたチャンネルの総数である。このレジスタ7210は、ch1からchNまでのチャンネル・イネーブル・ビットを有しており、該当するビットが“1”であるときは、そのチャンネルがイネーブルされていること、すなわち、当該INデバイスにそのチャンネル(または時間スロット)を利用するよう設定されていることを示す。したがって、“1”的チャンネル・イネーブル・ビットは、時間スロット利用イネーブル信号を構成する。Nビットあるため、N個のチャンネルまでこのINデバイスに割り当てることができ、これによって可変時分割多重が実現できる。尚、こ

ここで、 $c_h 1$ イネーブル信号とは、図12に示した $c_h 1$ スロットのことではなく、当該デバイスが利用するよう設定されたスロットの1番目のものという意味である。このレジスタ7210は、当該INデバイス内の内部レジスタであるコマンド・レジスタ7212内に含まれたものである。レジスタ7210の各ビットは、当該INデバイスに予め設定することができ、そしてこの場合、マスター・デバイスであるDSP1Bのメモリ内にシステム設計時に予め格納することが好ましい。但し、システム設計時にスレーブ・デバイスへの時間スロットの割当内容が既知でない場合、あるいは可変である場合、マスター・デバイスは、マスター・デバイスにおいてシステム設計後に設定されたそれらスレーブ・デバイスに対する時間スロット割当内容を、通信によって（コマンド・フィールドを用いて）スレーブ・デバイスのコマンド・レジスタ7212内のレジスタ7210に書き込むこともでき、これは、シフトレジスタ7240およびアドレス・コード回路（図13（b））を介して行うことができる。あるいはまた、スレーブ・デバイスにおいて設定されたこのレジスタの設定内容は、マスター・デバイスが通信によって受け取るようにすることもでき、これは、スレーブ・デバイスのレジスタ7210の読み出しを図13（b）の状態フィールド出力回路（パラレル／シリアル変換回路）を通じて受け取ることにより実現される。割当時間スロット判別部722は、チャンネル1～Nにそれぞれ対応するN個のANDゲート7220-1～Nから構成され、各ANDゲート7220は、1つの入力にチャンネル・イネーブル信号である $c_h 1 \sim c_h N$ のイネーブル信号の対応する1つを受け、そして別の1つの入力に同じく対応するチャンネルのSA（時間スロット割当）トークン入力（SA1～SAN（またはDCO））を受け、そして残りの第3の入力にスロット開始位置指示信号 $b_c 31$ を受けるように接続されている。SAトークンSA1～SANの各々は、各オーディオ・チャンネル・フィールド1～Nにそれぞれ対応する時間スロットを、当該デバイスが利用できるようにするために割り当てるものである。したがって、各ANDゲート7220の出力には、ある特定の時間スロットに関して、この時間スロット（またはチャンネルの）の利用がイネーブルされており、かつSAトークンを受けており、しかも時間スロット位置指示信号を受けたときのみ、ハイの出力を発生する。このハイの出力は、このハイのときの時間スロットが当該デバイスに割り当てられているスロット（すなわち割当スロット）でかつ当該デバイスが利用するスロット（すなわち利用スロット）あることを示す割当スロット利用指示信号となる。尚、チャンネル・イネーブル信号がローのときは、当該デバイスが利用しない時間スロットであるため、割当スロット利用指示信号はローとなる。

【0057】データ保持部724は、図示のように、シ

フトレジスタ7240で構成され、このシフトレジスタは、PD1ポートからのPD1入力すなわちパケット・データを受けるDATA端子と、クロックBCKを受けるCK端子とを有し、そしてシフトレジスタに保持したデータを発生する出力端子を有している。このシフトレジスタ7240は、入来するPD1入力を1パケット（または1時間スロット）の長さ分だけ保持するように動作する。

【0058】データ記憶部725は、Nチャンネルの数と同じN個のオーディオ・チャンネル・レジスタ7250-1～Nで構成され、これらレジスタの各々は、対応するANDゲート7222からの割当スロット利用指示信号を受けるイネーブルEN端子と、クロックBCKを受けるCK端子とを有し、そしてまたシフトレジスタ7240の出力に接続した入力（図では、概略的に示す）を有している。各レジスタ7250は、ANDゲート7222からの割当スロット利用指示信号に応答して、当該割当スロット（または割当チャンネル）内のパケットをシフトレジスタ7240から受けてラッチすることにより、そのパケットを記憶する。これにより、当該INデバイスは、割り当てられしかも利用する時間スロットからデータを受け取ることができる。尚、このレジスタ7250内のデータは、後続の処理（DACの場合は、デジタルーアナログ変換）のために読み出されることになる。

【0059】次に、源トークン生成部727は、源（ソース）トークンを発生する回路部分であり、これは、先頭トークンを発生するかあるいは上流からのSAトークンを出力する。すなわち、源トークン生成部727は、マルチプレクサ（MUX）7270と、先頭トークン生成回路7272とを備えている。MUX7270は、一方の入力がデイジーチェーン入力DCIに接続され、そして他方の入力が先頭トークン生成回路7272の出力に接続され、そして図9の先頭デバイス判別回路705と同様の回路（共用も可能）からの先頭デバイス信号を受ける制御入力を有している。したがって、先頭デバイス信号が真すなわちハイのとき、すなわち、当該デバイスが先頭デバイスであるときは、回路7272からの先頭トークンを出力に通し、そしてローのとき、すなわち、当該デバイスが先頭以外のデバイスであるときは、上流からDCIポートで受けるSAトークンを出力に通す。先頭トークン生成回路7272は、クロックBCKを受けるBCK端子と、クロックLRCCKを受けるLRCCK端子とを有し、そして先頭トークンを発生する出力を有する。

【0060】詳細には、図14に示すように、先頭トークン生成回路7272は、6ビット・カウンタ72720と、ANDゲート72722と、そしてORゲート72724とから構成されている。カウンタ72720は、ANDゲート72722の出力に結合したCLK端

子と、クロック L R C K を受けるように接続した R S T 端子とを有し、また、6ビットのカウンタ出力 Q 1～Q 6 を有している。AND ゲート 72722 は、一方の入力がクロック B C K を受け、そして他方の入力が最上位の Q 6 端子に接続されており、したがって、Q 6 がローの間はクロック B C K をカウンタ C L K 端子に供給し、そして Q 6 がハイになるとそれ以降は、リセットされるまで、クロックをカウンタ C L K 端子に供給するのを停止する。したがって、カウンタ出力 Q 1～Q 5 を受ける OR ゲートは、5ビット・カウンタ部分のビット出力の少なくとも 1 つがハイの間、すなわちカウンタ出力が 1 から 31 の間（すなわち、時間スロットのうちコマンド・フィールドのある最初の時間スロット）は、出力にハイを発生する（図 16 のトーケンを参照）。このハイ O R ゲート出力は、先頭トーケンを構成する。

【0061】最後に、図 13 (a) に示す SA トーケン生成部 726 は、N 個のチャンネルにそれぞれ対応して設けた N 個の継続接続したトーケン伝播回路 7260-1～N を備えている。各トーケン伝播回路 7260 は、クロック B C K を受ける B C K 端子と、時間スロット開始位置指示信号 b c 31 を受ける B C 31 端子と、この伝播回路が対応するチャンネルのチャンネル・イネーブル信号を受けるイネーブル E N 端子と、そして入力 I N 端子および出力 O U T 端子を有している。伝播回路は、最初の段では、源トーケン生成部 727 からのトーケンを受ける入力 I N 端子を備え、そしてそれ以降の段では、前段の O U T 端子に接続した入力 I N 端子を備えている。また、各伝播回路の出力 O U T 端子は、I N 端子で受けたトーケンを、チャンネル・イネーブル信号がハイの時はほぼ 1 時間スロット分（ほぼクロック B C K 32 個分）遅延させたものを発生し、そしてチャンネル・イネーブル信号がローのときは遅延なしでそのまま通過させる。最後の段 7260-N の O U T 端子は、次に下流のデバイスへの SA トーケン (S A N) を D C O ポートに供給する。これによって、下流側のデバイスが、順番に時間スロットを利用できるようになる。これら各伝播回路の O U T 端子に発生されるトーケンは、次段または次に下流のデバイスへのトーケンとなると共に、当該デバイス内における時間スロット割当トーケン S A 1～S A N として使用する。尚、c h 1 と c h 2 のチャンネル・イネーブル信号がハイであるときは、2つのチャンネル、すなわち 2 つのスロットを使用することを意味し、図 12 に c h 1 および c h 2 を付して示した時間スロットを必ずしも使用することを意味するものではない。したがって、当該デバイスの上流のデバイスが図 12 の c h 1 と c h 2 を利用しているとした場合、当該デバイスが利用する c h 1 と c h 2 は、図 12 の c h 3 と c h 4 を付したスロットに相当することになる。

【0062】詳細には、図 15 に示したように、各伝播回路 7260 は、マルチプレクサ (MUX) 72600

と、イネーブル制御付き D 形 F/F 72602 とから構成されている。MUX 72600 は、一方の入力が当該伝播回路の I N 端子に接続され、そして他方の入力が F/F 72602 の Q 出力に接続され、そして制御入力が E N 端子に接続されており、これによって、E N 端子がローのときは I N 端子で受けたトーケンをそのまま通過させ、そして E N 端子がハイのときは、F/F の Q 出力を MUX の出力、すなわち 1 時間スロット分遅延させた I N 端子のトーケンを通過させる。F/F 72602 の D 端子は、I N 端子に接続され、E N 端子は b c 31 を受けるように接続されている。また、F/F は、クロック B C K を受けるように接続された C L K 端子を有し、E N がハイの場合のみ入力信号をラッチする。したがって、この F/F は、信号 b c 31 がハイであるときに、I N 端子から入力された信号がハイであれば、次のスロットの間にハイの信号を発生する。尚、当該デバイスで利用するチャンネルの設定は、上述のようにレジスタ 7210 に格納されている。

【0063】次に、図 16～図 21 のタイミング図を参照して、この時間スロット割当回路 72 の全体の動作について説明する。先ず、図 16～図 20 で、1 つのデバイス例えば先頭デバイスの動作について説明する。ここで、図 17～図 20 においては、デバイス内に 4 チャンネル分の処理部を有するものとする。図 16 では、先頭デバイスがチャンネル c h 1 を利用するが、c h 2 を利用せず、さらに図示しない別のチャンネルを利用する場合について示している。詳細には、図示のクロック L R C K および B C K の下で、5ビット・カウンタ 7200 は、図示のようにカウントを行って、各スロットの終わりにハイとなる b c 31 信号を発生し、これによって、スロットの終わりを示す。次に、先頭トーケン生成回路 7272 は、図示のように最初のスロットで先頭トーケンを発生するが、この先頭デバイスは、c h 1 を利用するため、c h 1 イネーブルはハイであり、したがってトーケン伝播回路 7260-1 はその出力に 1 スロット分遅延したトーケン S A 1 を発生する。このトーケンに応答して、この先頭デバイスは、シフトレジスタ 7240 の内容（チャンネル c h 1 のデータ）をレジスタ 7250-1 にラッチして格納する。次に、トーケン S A 1 を受ける次のトーケン伝播回路 7260-2 は、c h 2 イネーブルがローであるため、S A 1 を遅延せずにそのまま S A 2 として通過させる。このとき、AND ゲート 7220-2 の出力は、c h 2 イネーブル信号がローであるためローのままであり、したがって、レジスタ 7250-2 へのラッチは生じない。さらに、先頭デバイスは、別のチャンネル等を利用した後に、最後に下流へのトーケンを D C O ポートに発生する。このようにして、先頭デバイスは、このデバイスが利用する時間スロットのチャンネル・データのみを受けることができる。

【0064】次に、図 17 は、先頭デバイスが c h 1 ～

ch_4 の 4 チャンネル分を利用する場合 ($ch_1 \sim ch_4$ のチャンネル・イネーブル信号がハイ) を示している。この場合、 $ch_1 \sim ch_4$ のイネーブル信号はハイであるため、図示のように、SA1、SA2、SA3、SA4 (=DCO) は、先頭トークンから 1 スロット分ずつ遅延したものとなる。この時、AND ゲート 7220-1~4 の出力はハイであるため、レジスタ 7250-1~4 のレジスタへのラッチが生ずる。尚、SA4 トークンは、下流デバイスへのトークンとして DCO ポートに出力される。このように、1 つのデバイスに、多数の時間スロットを利用させることができ、可変時分割多重を実現できることが分かる。

【0065】図 18 は、先頭デバイスが ch_1 と ch_3 のハイのイネーブル信号によって 2 つのチャンネルを利用する場合のタイミング図である。この場合、 ch_2 イネーブル信号はローであるため、SA2 トークンは SA1 トークンと同じである。このとき、AND ゲート 7220-3 は、 ch_3 イネーブル信号がハイであるため、レジスタ 7250-3 は、 ch_2 オーディオ・チャンネル・フィールドのデータを ch_2 レジスタ 7250-2 ではなく、 ch_3 レジスタ 7250-3 にラッチすることになる。したがって、1 つのデバイス内で、2 以上の受け取りチャンネルを利用する場合、イネーブルするチャンネルは、必ずしも連続している必要はない。ある条件下において、デバイス内の ch_2 および ch_4 が使用されない場合、あるいはデバイス内の ch_1 と ch_2 および ch_3 と ch_4 が同じデータを使用する場合には、このような設定を行うことにより、マスタ・デバイスのデータ送信の効率を高めることができる。これにより、任意のチャンネルを限定して使用でき、無駄なデータ送信を行う必要がない。尚、本例の場合、利用時間スロット数 = 2 である。

【0066】次に、図 19 は、先頭デバイスにおいて、 ch_2 イネーブル信号のみがハイの場合のタイミング図である。この場合、 ch_1 イネーブル信号はローであるため、SA1 は先頭トークンに等しく、そして SA2 は、SA1 から 1 スロット分遅延し、そしてその後の SA3 等は、SA2 からの遅延はない。この場合、AND ゲート 7220-2 の出力のみがハイとなるため、 ch_2 レジスタ 7250-2 が ch_1 オーディオ・チャンネル・フィールドのデータを受けることになる。これは、デバイスに設けられている 4 チャンネル内の ch_2 のみを使用する例である。

【0067】図 20 は、先頭デバイスにおいて、全ての ch イネーブル信号がローである場合、すなわち全く時間スロットを利用しない場合のタイミング図を示している。この場合、先頭トークンは、そのまま SA1、SA2、SA3 等として遅延されずに伝達され、そしてそのまま下流側のデバイスに伝達される。この使用モードは、ある条件下で当該デバイスを全く使用しないこと、

あるいはデイジーチェーン接続の必要があるが、全く入力または出力を行わず時間スロットを利用する必要がないデバイスに対して使用できる。この場合、利用時間スロット数 = 0 の場合を構成する。以上のように、デバイス内の個々のチャンネルについて、使用／未使用を設定することができ、無駄なデータ送信を行う必要がないため、伝送効率を高めることができる。

【0068】図 21 は、複数のデバイス間での SA トークンの受け渡しを示すタイミング図である。図示例は、図 21 (a) に示すように複数のデバイスをカスケード接続した場合を示している。しかも、デバイス 1 が 1 チャンネル分、デバイス 2 が 2 チャンネル分、デバイス 3 が全くチャンネルを使用せず、そしてデバイス 4 が 3 チャンネル分を使用するとする。この場合、図 21 (b) のタイミング図に示すように、デバイス 1 は、 ch_1 オーディオ・チャンネル・フィールドを利用することにより、先頭トークンから 1 スロット分遅延したトークンを出力 DCO1 に発生する。次に、デバイス 2 は、2 チャンネル分利用するため、さらに 2 スロット分遅延したトークンを DCO2 に発生する。デバイス 3 は、スロットを利用しないため、デバイス 2 の出力トークンをそのまま遅延せずに DCO3 に出力する。次のデバイス 4 は、3 チャンネル分を利用するため、デバイス 3 からのトークンをさらに 3 スロット分遅延させたトークンを DCO4 に発生する。このようにして、デバイス間でデイジーチェーンを使って、時間スロット割当トークンを順番に伝播させることができる。さらに、これと共に、各デバイスでは利用する時間スロットの数を任意に設定できるため、本例では、デバイス 2 は、デバイス 1 の 2 倍の伝送帯域を有し、そしてデバイス 4 は、デバイス 1 の 3 倍の伝送帯域を有することになる。尚、デバイス 3 の伝送帯域はゼロである。このようにして、本発明によれば、可変の時分割多重をデイジーチェーンを使用することによって実現することができる。

【0069】以上に、DSP1B から IN デバイスへのデータ伝送について説明したが、OUT デバイスから DSP1B へのデータ伝送も上記と同様にして実現できる。異なる点は、レジスタ 7250 に送出するデータを配置し、そして割当スロットの開始時にそのデータをシフトレジスタ 7240 に移して PDO ポートから出力する点である。その他の時間スロット割当 (SA) トークンの受け渡し、並びにチャンネル・イネーブル信号の使用は同じである。上記の説明からも分かるように、IN デバイス・グループと、OUT デバイス・グループは、別個のデイジーチェーンを備えているため、互いに独立してデバイス識別子の付与および時間スロット割当トークンの伝達が可能であるため、同時に動作することが可能である。

【0070】以上に、本発明の好ましい実施形態について説明したが、この実施形態に対し種々の変更が可能で

ある。第1に、デイジーチェーンの数は、デバイス・グループに対応させて2つ以上の任意の数とすることも可能である。この場合、各デイジーチェーン・グループのデバイスには、デイジーチェーン接続線の識別子または番号をデバイス・グループ識別子として格納することが必要である。第2に、マスター・デバイスとして、DSP以外のマイクロプロセッサのようなプログラマブル・デバイスとすることも可能であり、そしてそのシリアル・ポートをスレーブ・デバイスとのデータ伝送に使用することができる。第3に、スレーブ・デバイスのデバイス識別子は、マスター・デバイスのメモリに予め記憶すること以外に、スレーブ・デバイスからマスター・デバイスに伝送するようにすることも可能である。これは、スレーブ・デバイスの内部レジスタを読み出すことによって実現することができる。

【0071】第4に、図22に示したように、同一のデバイスを2以上のデイジーチェーンに接続することも可能である。例えば、スレーブ・デバイスが、図示のように、コーデックのようなIN/OUTデバイスの場合である。この場合、デバイスID付回路70は1つ設けるだけで良いが、時間スロット割当回路72は2組設ける必要がある。これは、デバイスIDはコマンド・フィールドの送受信に利用されるので、マスター側から区別でき、1つで良いが、オーディオ・チャンネル・フィールドは受信用(IN側)と送信用(OUT側)で互いに独立しているので、デイジーチェーンが2つ必要だからである。第5に、上記のように、各スレーブ・デバイスに割り当てるスロット数を可変とすることによって、スレーブ・デバイス毎に異なった可変の伝送帯域を実現することができる。

【0072】第6に、上記実施形態におけるバスは、シリアルバスとしたが、パラレルバスも同様に使用することができます。第7に、所定の順序として、上記実施形態では、バスの時間スロット割当順序を“所定の順序”とした例を示しているが、その他の資源割当順序にも本発明を適用することができる。第8に、上記システムは、オーディオ・システムの例であるが、それ以外のシステム(例えば、LAN、ATM、遠隔監視システム、自動計測装置等)にも本発明を適用可能である。第9に、上記のスレーブ・デバイスとして、DAC、ADCのようなデバイスを示したが、それ以外の集積回路チップ、または他の種類、規模の回路、ユニット、装置、機器(例えば端末、コンピュータ、カメラ、マイク、温度センサ、湿度センサ、圧力センサ、アクチュエータ等)等とすることも可能である。

【0073】

【発明の効果】以上に説明した本発明によれば、集積回路チップ等のデバイスに対し、自動的にデバイスに識別子を付与することができる。また、デバイスに対しより自由な識別子を付与することができるため、同種類のチ

ップに対し異なったデバイス識別子を割り当てることができ、これにより、同一システム内において、同種類のチップを複数使用またはサポートすることが可能となる。これによって、従来のように、チップにデバイス識別子またはアドレスを、予めチップ製造時にROMに焼き付ける等して付与したり、あるいは、特定のデバイス種類に対し特定のデバイス識別子を付与することが不要となり、また、デバイスに対し外部からデバイス識別子を付与することも不要となる。これにより、回路等のシステムの設計が、チップ固有のデバイス識別子に拘束されないため、異なったメーカーの同種のチップを交換可能に使用することができる。

【0074】さらにまた、回路等のシステムにおいて付与する本発明のデバイス識別子では、従来のチップ固有のデバイス識別子のような冗長な識別子と比べ、単純な番号とすることができます。これによって、このデバイス識別子をそのまま使用して、最適なアドレスを形成したり、あるいはシステム内の共有可能な資源等の割当順序の順番としてもそのまま使用することができる。

【0075】また、上記順番として、共有可能な資源の順番とすれば、それら資源の効率的な利用を図ることができます。また、共有可能な資源として、バスを使用する時間スロットとすれば、可変時分割多重通信が実現される、また、時間スロットの割当量を可変とすることにより、バスの共有資源を使用しないデバイス、使用するデバイス、使用する頻度の高いデバイス等(INデバイス(DAC)、OUTデバイス(ADC)、IN/OUTデバイス(CODEC))を共存させても、これらデバイスの通信量を最適化(少ない冗長度)することができる。

【図面の簡単な説明】

【図1】図1は、本発明による実施形態の基本構成の通信システムを示すブロック図。

【図2】図2は、図1の通信システムをより具体化した1実施形態であるオーディオ・マルチチップ・システムBを示すブロック図。

【図3】図3は、図2の各スレーブ・デバイス内に設けた、デバイスID付回路、および時間スロット割当回路を示すブロック図。

【図4】図4は、図2のシステムで利用する可変時分割多重通信(VTDMA)における通信フレームと、このフレーム内で伝送する伝送データ(PDI入力およびPDO出力)の初期化時および動作時のフォーマットを示す図である。

【図5】図5は、図4に示した伝送フォーマットにおけるコマンド・フィールド、拡張コマンド・フィールドの構造を示す図であり、(a)はコマンド・フィールド、(b)は拡張コマンド・フィールド、(c)は状態フィールドを示す。

【図6】図6は、図2に示したオーディオ・マルチチッ

プ・システムBの全体の動作を示すフローチャート。

【図7】図7は、VTDMCAモード決定のためのクロックLRCKおよびBCKのタイミングを示す図。

【図8】図8は、デバイスID付与シーケンスにおける種々の信号を示すタイミング図。

【図9】図9は、図3に示したデバイスID付与回路70の詳細を示す回路図。

【図10】図10は、先頭デバイス（最上流デバイス）における図9のデバイスID付与回路70の動作を説明するためのタイミング図。

【図11】図11は、先頭デバイス以外の次の下流の第2のデバイスにおける図9のデバイスID付与回路70の動作を説明するためのタイミング図。

【図12】図12は、図3に示した時間スロット割当回路群の全体の動作を説明するためのタイミング図。

【図13】図13は、(a)と(b)が合わさって、図3に示した時間スロット割当回路72の回路の詳細を示す回路図。

【図14】図14は、図13の先頭トーカン生成回路の詳細を示す回路図。

【図15】図15は、図13のトーカン伝播回路の詳細を示す回路図。

【図16】図16は、先頭デバイスがチャンネルch1を利用するがch2を利用しない場合を含む状況における、時間スロット割当回路内の種々の信号を示すタイミング図。

【図17】図17は、先頭デバイスがch1～ch4の4チャンネル分を利用する場合における、時間スロット割当回路内の種々の信号のタイミング図。

【図18】図18は、先頭デバイスがch1とch3のハイのイネーブル信号によって2つのチャンネルを利用する場合における、時間スロット割当回路内の信号のタイミング図。

【図19】図19は、先頭デバイスにおいてch1イネーブル信号はローでch2イネーブル信号のみがハイの場合における、時間スロット割当回路内の信号のタイミング図。

【図20】図20は、先頭デバイスにおいて全てのch

イネーブル信号がローである場合における、時間スロット割当回路内の信号のタイミング図。

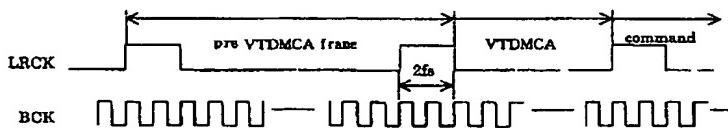
【図21】図21は、複数のデバイス間でのSAトーカンの受け渡しを示すタイミング図である。

【図22】図22は、同一のデバイスを2つのディジーチェーンに接続したシステム例を示すブロック図。

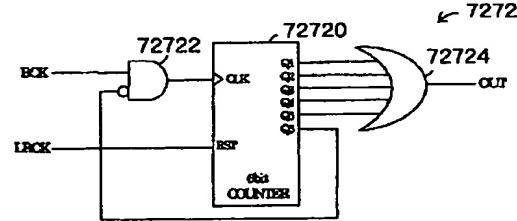
【符号の説明】

- 1 マスタ・デバイス
- 3-1～N スレーブ・デバイス・グループ
- 5 バス
- 30-1-1～N スレーブ・デバイス
- 30-2-1～N スレーブ・デバイス
- 7-1～N ディジーチェーン接続線
- 1B DSP
- 30-1-1B～NB スレーブ・デバイス
- 30-2-1B～NB スレーブ・デバイス
- DC1B ディジーチェーン
- 50B バス導体
- 52B バス導体
- 60 導体
- 62 導体
- 70 デバイスID付与回路
- 700 デバイスID決定シーケンス開始制御部
- 701 時間測定部
- 702 デバイスID記憶部
- 703 トーカン判別回路
- 704 下流側トーカン生成回路
- 705 先頭デバイス判別回路
- 706 先頭トーカン生成回路
- 720 時間スロット位置指示部
- 721 利用時間スロット指示部
- 722 割当時間スロット判別部
- 724 データ保持部
- 725 データ記憶部
- 726 時間スロット割当(SA)トーカン生成部
- 727 源トーカン生成部
- 7260 トーカン伝播回路
- 7272 先頭トーカン生成回路

【図7】

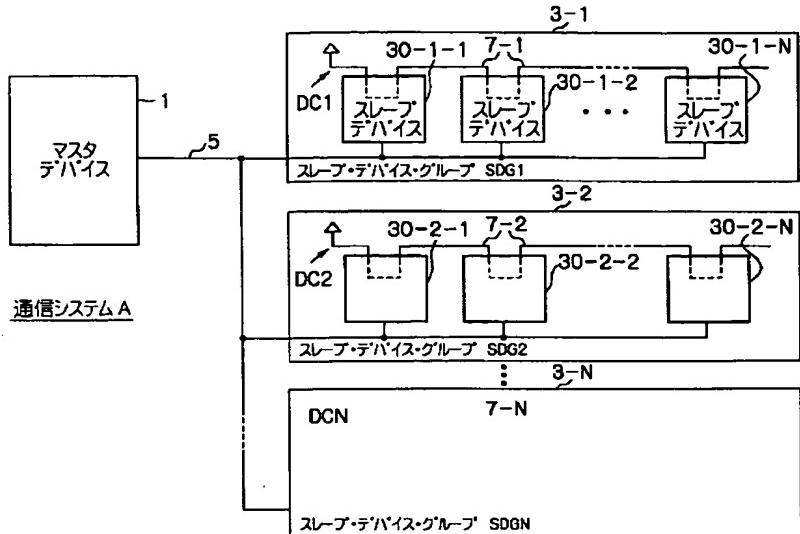


【図14】

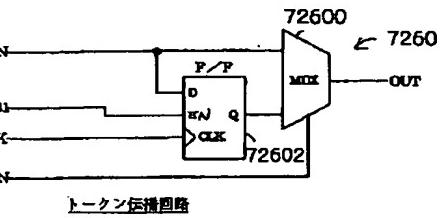


先頭トーカン生成回路

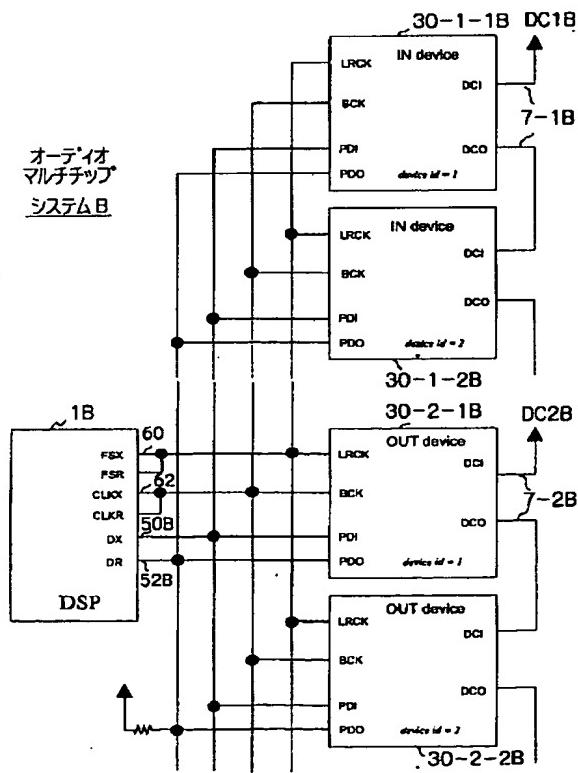
【図1】



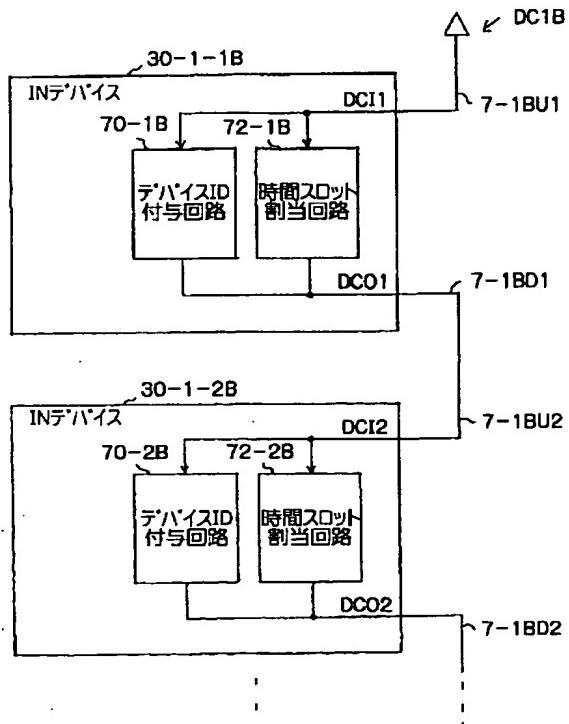
【図15】



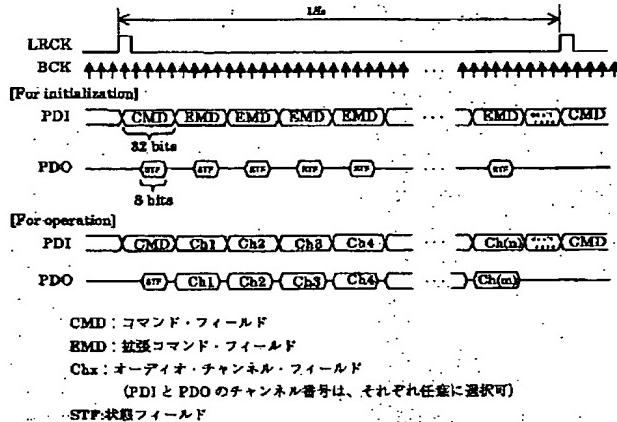
【図2】



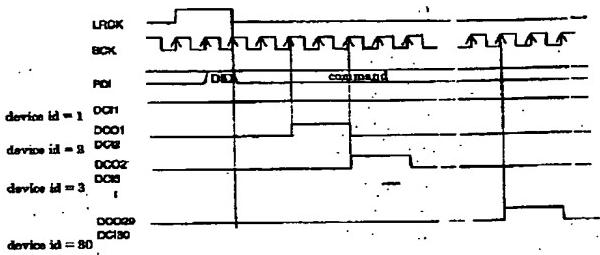
【図3】



【図4】



【図8】



【図5】

(a) コマンド・フィールド

MSB	30	29	28	24	23	16	15	8	7	LSB
DID	EMD	DCS	device id	register id		data		rsvd		

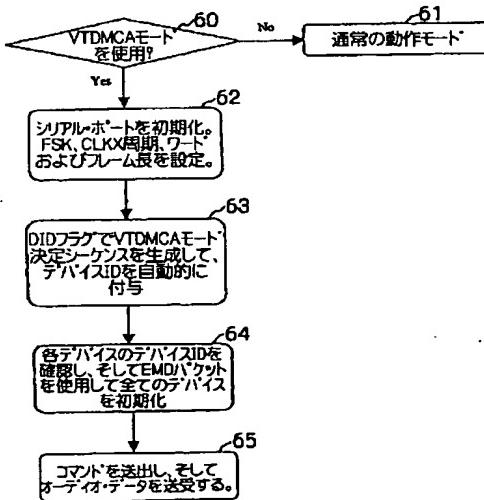
(b) 拡張コマンド・フィールド

MSB	30	29	28	24	23	16	15	8	7	LSB
rsvd	EMD	DCS	device id	register id		data		rsvd		

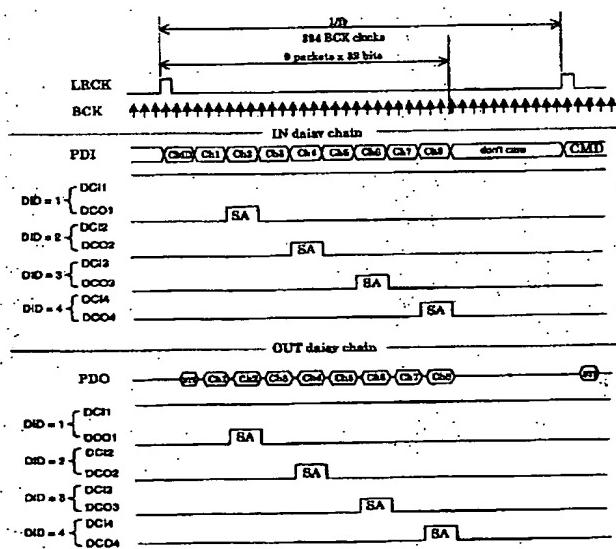
(c) 状態 フィールド

MSB			16	15		8	7	LSB
	not used				status		not used	

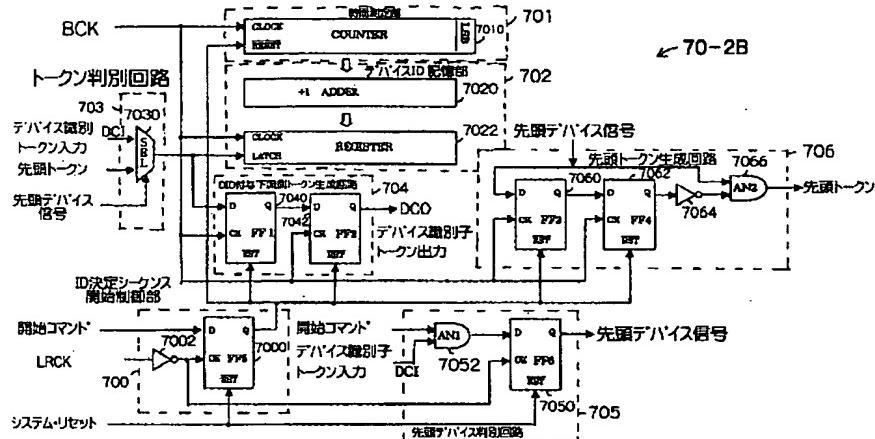
【図6】



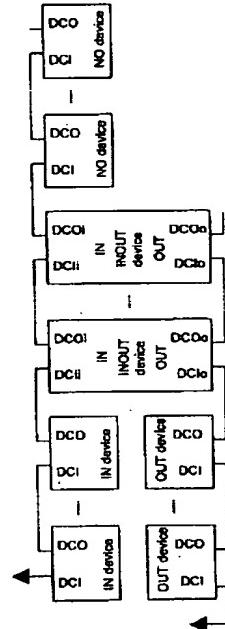
【図12】



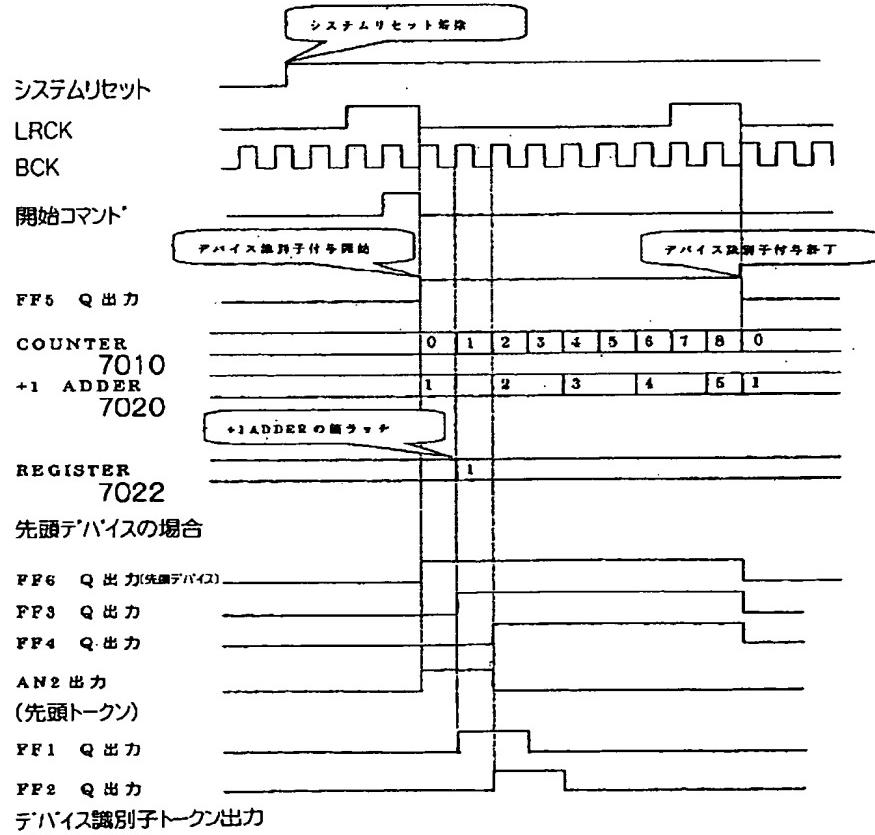
【図9】



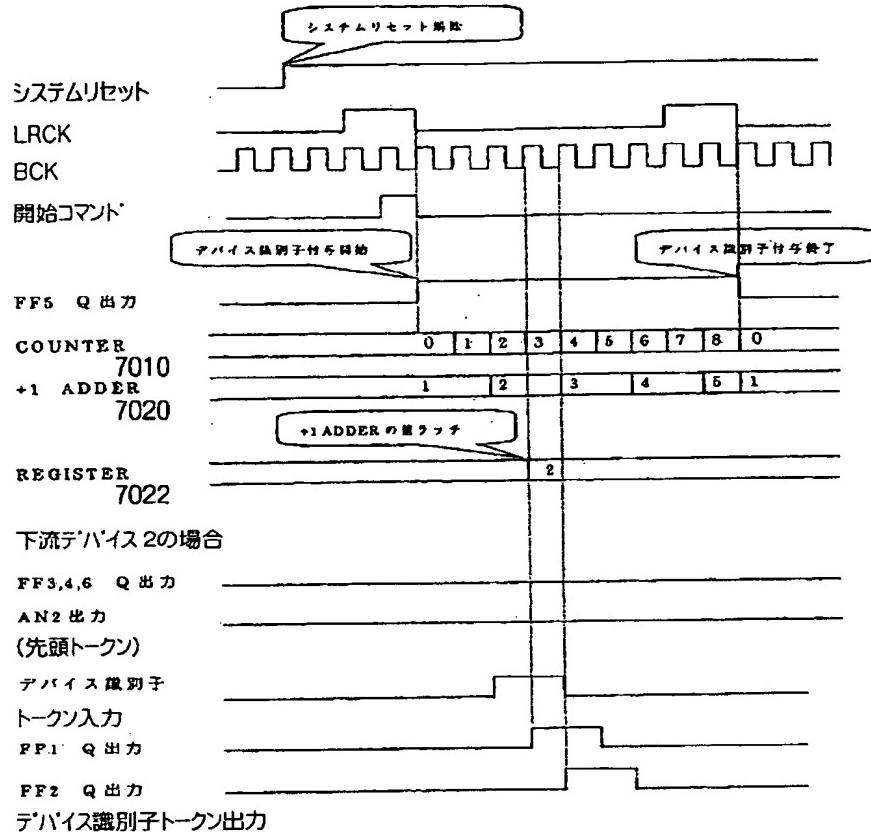
【図22】



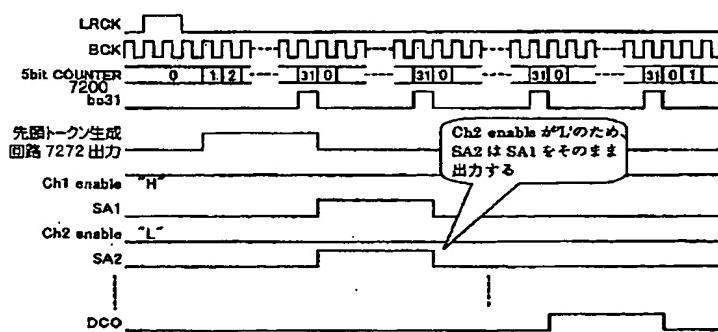
【図10】



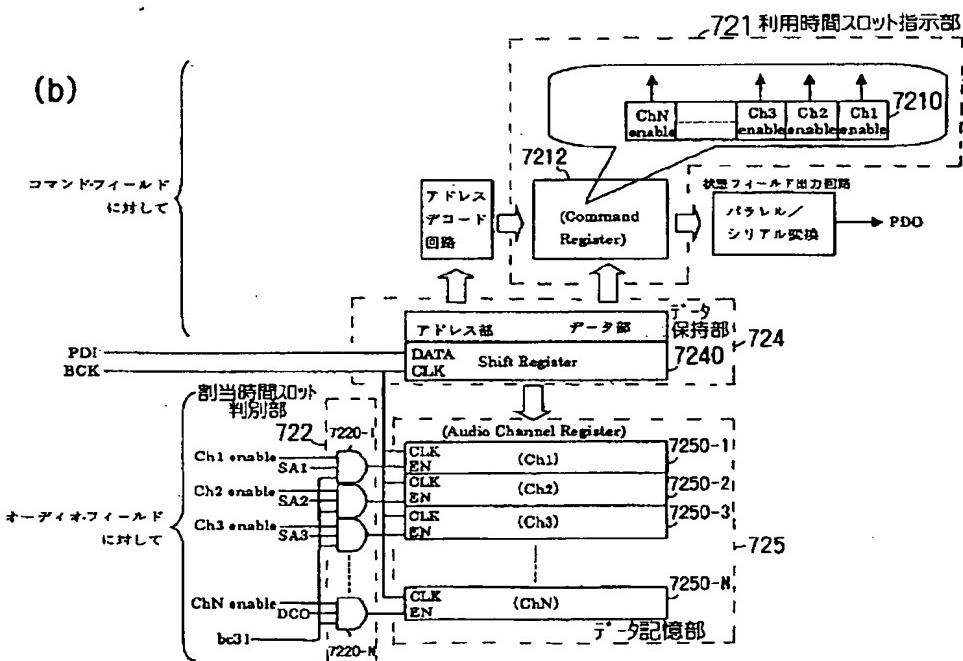
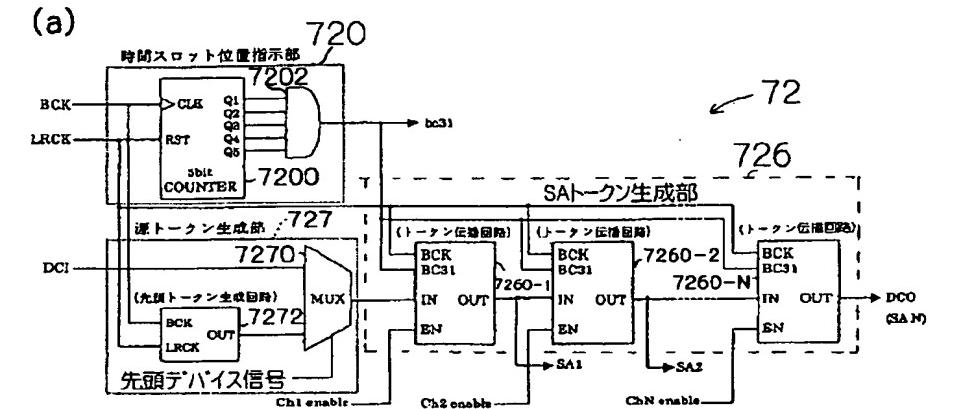
【図11】



【図16】

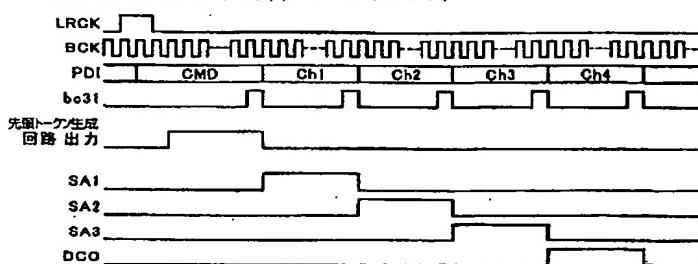


【図13】

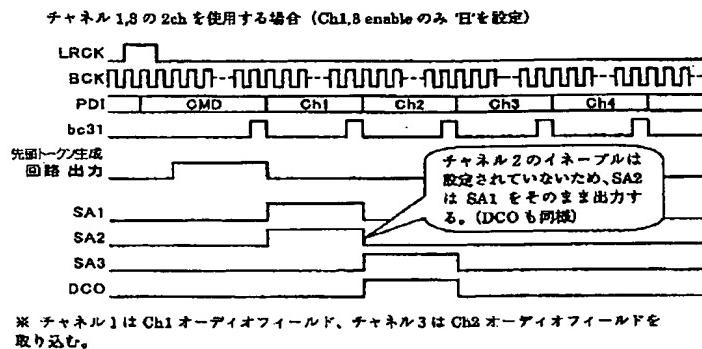


【図17】

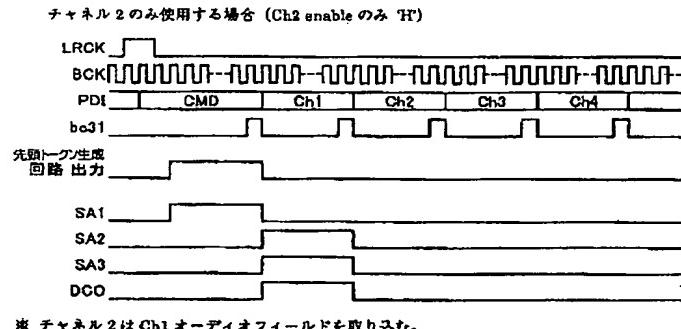
4ch 全てを使用する場合 (Ch1,2,3,4 enable はすべて 'H')



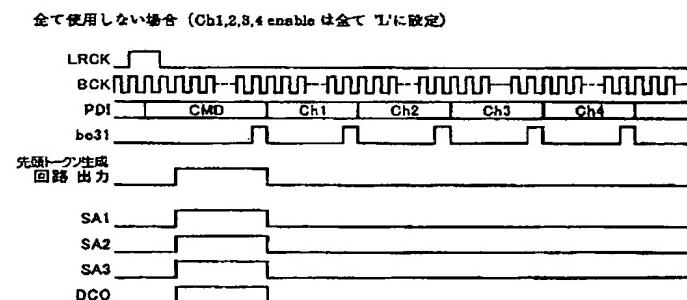
【図18】



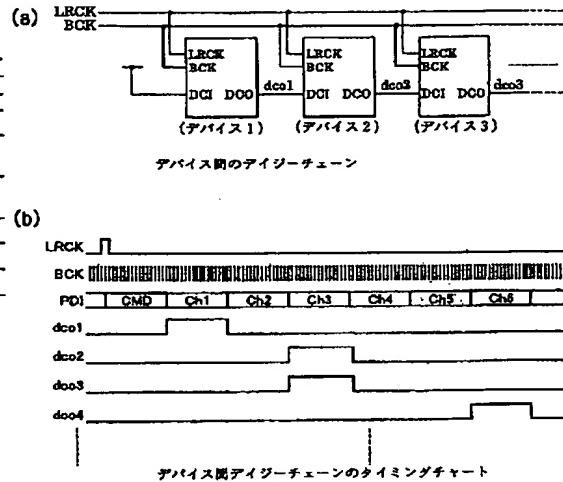
【図19】



【図20】



【図21】



フロントページの続き

Fターム(参考) 5B014 HB04
5B061 BB22 BB36 BB37 RR02 RR03
RR05 RR06